

Ю. М. Болотов

**СТАТИСТИЧЕСКИЕ ХАРАКТЕРИСТИКИ
СИГНАЛА ОШИБКИ ЦИФРОВОЙ СИСТЕМЫ
СИНХРОНИЗАЦИИ**

Рассмотрена модель цифровой системы синхронизации наиболее часто используемой конструкции, а также модель полезного сигнала на фоне шума. Методом моделирования получено распределение вероятностей сигнала ошибки при различных конструктивных параметрах системы и значениях отношения сигнал/шум на ее входе. Представленные результаты проанализированы.

Исследованию статистических характеристик дискретных и непрерывных систем синхронизации посвящено достаточно много работ (см., например, работы [1–5]). Используя в этих работах модели можно применить к цифровым системам синхронизации (ЦСС) разных конструкций. Однако функционирование большинства цифровых систем не имеет почти ничего общего с функционированием исследованных ранее ЦСС. Это препятствует созданию обобщенной теории функционирования ЦСС. Поэтому при исследовании статистических характеристик многие из широко применяемых на практике конструкций ЦСС необходимо рассматривать отдельно.

В настоящей работе рассмотрена одна из наиболее часто используемых схем ЦСС.

Модель системы. Структурная схема рассматриваемой ЦСС представлена на рис. 1. Эта конструкция выпускается в виде интегральной схемы (производства Texas Instruments) с обозначением 74хх297, где вместо хх подставляется аббревиатура семейства (НС, НСТ, LS, S и др.). Интегральная схема содержит два типа фазовых детекторов: XORPD (XOR phase detector — на элементе “исключающее или”) и ECPD (edge-controlled phase detector). Управляемый генератор импульсов (УГИ) в данном случае образован устройством добавления и исключения и счетчиком-делителем. Счетчик-делитель в состав микросхемы не входит.

Рассмотрим работу фазовых детекторов. Фазовый детектор (ФД) на элементе “исключающее или” обрабатывает бинарные импульсные сигналы. Допустим, что длительность импульсов сигналов u_1 и u'_2 равна строго половине их периода следования, а их низкий и высокий уровни

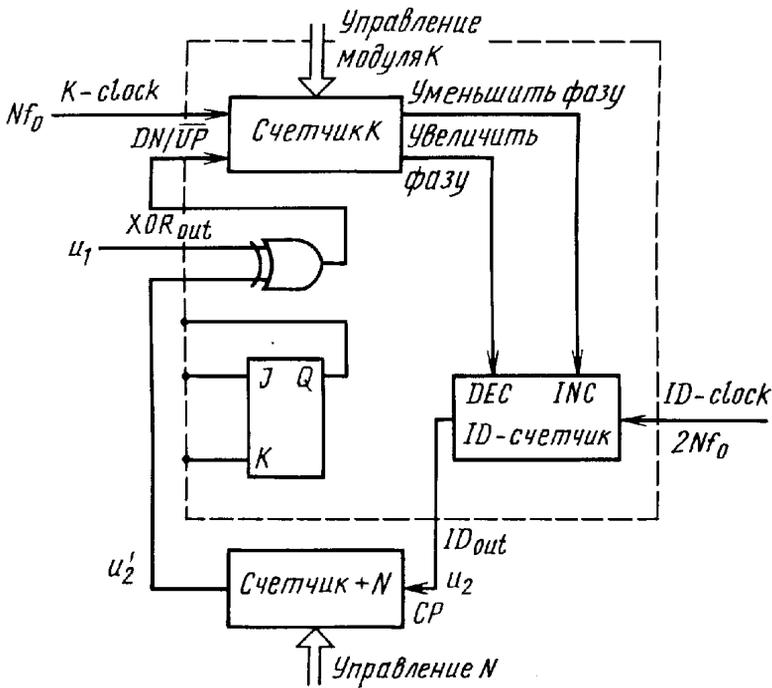


Рис. 1. Структурная схема ЦСС

соответствуют логическому нулю и единице. Величина \bar{u}_d равна среднему значению выходного сигнала u_d ФД за период сигнала u_1 . Временные диаграммы ФД на элементе "исключающее или" для различных фазовых ошибок θ_e приведены на рис. 2.

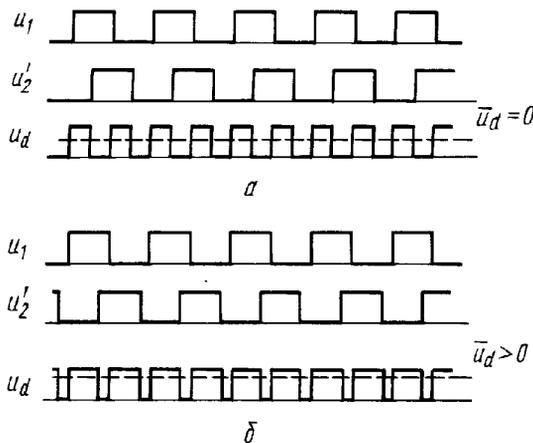


Рис. 2. Временные диаграммы ФД на элементе "исключающее или":
 а — при $\theta_e = 0$; б — при $\theta_e > 0$

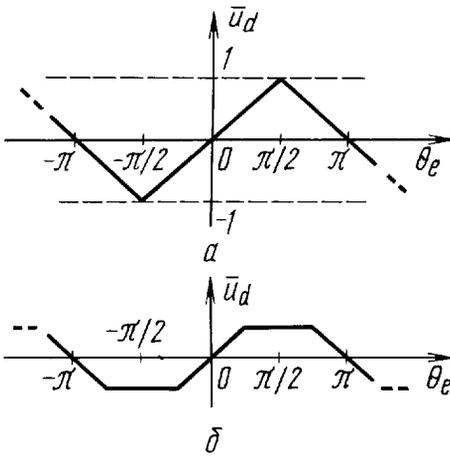


Рис. 3. Характеристика ФД на элементе “исключающее или”: при симметричном (а) и несимметричном (б) входном сигнале

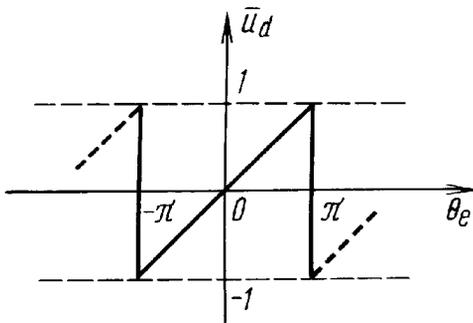


Рис. 4. Характеристика ФД на jk -триггере

При $\bar{u}_d = 0,5$ разность фаз сигналов u_1 и u'_2 равна $\pi/2$. Положим, что $\bar{u}_d = 0,5$ соответствует случаю $\theta_e = 0$. Зависимость \bar{u}_d от θ_e для ФД на элементе “исключающее или” представлена на рис. 3, а. ФД на элементе “исключающее или” поддерживает слежение при $-\pi/2 < \theta_e < \pi/2$.

Если сигналы u_1 и u'_2 становятся несимметричными, эффективность ФД на элементе “исключающее или” сильно снижается. В этом случае выходной сигнал \bar{u}_d ограничивается на некотором промежуточном уровне, как показано на рис. 3, б.

Рассматриваемый ФД второго типа (ЕСРД) выполнен на jk -триггере. При его использовании симметричность импульсов u_1 и u'_2 не играет роли. Применяемый jk -триггер чувствителен к отрицательным фронтам сигналов. При $\bar{u}_d = 0,5$ разность фаз сигналов u_1 и u'_2 равна π . Снова положим, что $\bar{u}_d = 0,5$ соответствует случаю $\theta_e = 0$. Зависимость значения сигнала \bar{u}_d от фазовой ошибки θ_e в данном случае является пилообразной (рис. 4). ФД на jk -триггере поддерживает слежение при $-\pi < \theta_e < \pi$.

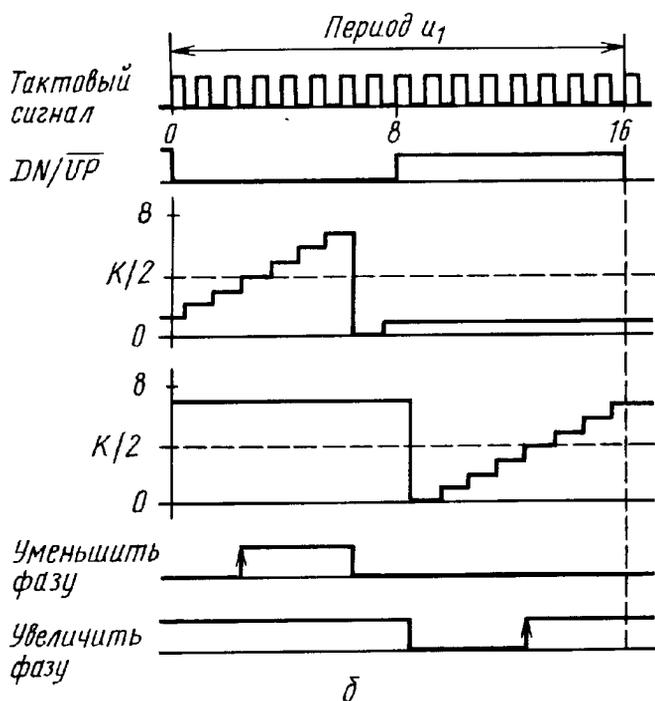
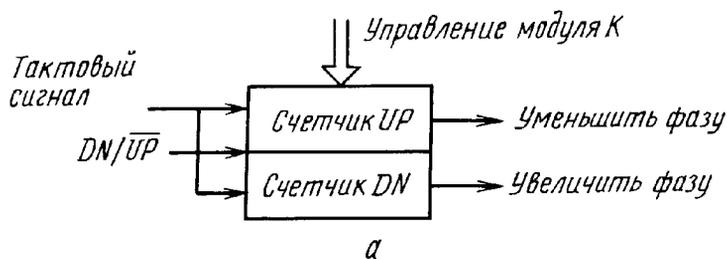


Рис. 5. K-счетчик:

а — структурная схема; *б* — временная диаграмма

В рассматриваемой ЦСС фильтром является K -счетчик (рис. 5, *а*), состоящий из двух независимых счетчиков, которые обычно называются “счетчик UP” и “счетчик DN”. Оба счетчика всегда считают в прямом порядке. Число K является модулем обоих счетчиков, т.е. содержание обоих счетчиков находится в диапазоне $0 \dots K - 1$. Величина K устанавливается на входе управления модуля K и всегда является натуральной степенью числа 2. Частота тактового сигнала (K -clock) в M раз превышает центральную частоту системы f_0 . Если сигнал DN/\overline{UP} имеет высокий уровень, активизируется счетчик DN, в то время как содержание счетчика UP остается неизменным. В противном случае счетчик UP активизируется, а содержание счетчика DN не меняется. Счетчик обнуляется, когда его содержание превышает $K - 1$. Выход старшего

значащего разряда счетчика UP является выходом сигнала “уменьшить фазу”, выход старшего значащего разряда счетчика DN — сигнала “увеличить фазу”. Следовательно, сигнал “уменьшить фазу” имеет высокий уровень, когда содержание счетчика UP составляет не менее, чем $K/2$. Аналогично, сигнал “увеличить фазу” имеет высокий уровень, когда содержание счетчика DN составляет не менее, чем $K/2$.

Временные диаграммы K -счетчика представлены на рис. 5, б. В данном случае предполагается, что в качестве ФД используется jk -триггер и ЦСС работает на своей центральной частоте. При этом, в соответствии с изложенным, входной u_1 и выходной (опорный) u'_2 сигналы находятся в противофазе, а выходным сигналом u_d ФД является прямоугольный сигнал, длительность импульсов которого равна строго половине его периода. Следовательно, сигнал DN/\overline{UP} имеет высокий уровень в течение одного полупериода сигнала u_1 и низкий уровень — в течение другого. В данном случае частота тактового сигнала K в 16 раз превышает центральную частоту ($M = 16$). Модулю K -счетчика было произвольно присвоено значение 8. Счетчик UP производит один импульс “уменьшить фазу” в течение каждого “периода” сигнала u_1 , а счетчик DN генерирует один импульс “увеличить фазу” в течение того же самого “периода”. Теперь допустим, что в контуре существует фазовая ошибка. Когда сигнал DN/\overline{UP} имеет низкий уровень в течение большей части одного периода u_1 , счетчик UP в среднем принимает большее количество тактовых импульсов, чем счетчик DN. Среднее число импульсов “уменьшить фазу” за единицу времени тогда становится большим, чем среднее число импульсов “увеличить фазу”. Если сигнал DN/\overline{UP} постоянно имеет низкий уровень, то непрерывно работает счетчик UP, если же высокий уровень — то счетчик DN.

Устройством добавления и исключения в рассматриваемой системе является так называемый ID-счетчик [6, 7]. Это устройство работает совместно с фильтрами, которые генерируют импульсы “уменьшить фазу” и “увеличить фазу”, такими как K -счетчик или N -перед- M -фильтр [3]. Действие ID-счетчика пояснено временными диаграммами, представленными на рис. 6. Импульс “уменьшить фазу” подается на вход INC, импульс “увеличить фазу” — на вход DEC (см. рис. 1). ID-счетчик чувствителен к положительным фронтам сигналов “уменьшить фазу” и “увеличить фазу”; продолжительность этих сигналов в данном случае не представляет интереса. При отсутствии импульсов “уменьшить фазу” и “увеличить фазу” ID-счетчик понижает вдвое тактовую частоту ID-clock, производя импульс на выходе при поступлении каждого второго импульса ID-clock (см. рис. 6, а). ID-счетчик содержит триггерный переключатель (Toggle FF), временная диаграмма которого приведена

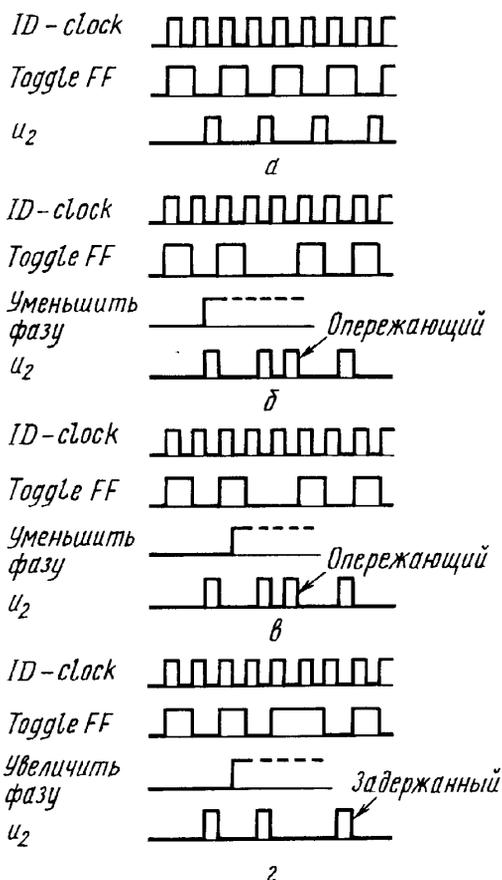


Рис. 6. Временные диаграммы ID-счетчика:

а — при отсутствии импульсов “уменьшить фазу” и “увеличить фазу”; *б* — при появлении импульса “уменьшить фазу”, когда переключатель находится в состоянии “низко”; *в* — при появлении импульса “уменьшить фазу”, когда переключатель находится в состоянии “высоко”; *г* — при появлении импульса “увеличить фазу”, когда переключатель находится в состоянии “высоко”

на рис. 6. Согласно временной диаграмме на рис. 6, *а* триггерный переключатель реагирует на каждый положительный фронт сигнала ID-clock при отсутствии сигналов “уменьшить фазу” и “увеличить фазу”. Сигнал на выходе ID-счетчика описывается логической функцией

$$ID_{out} = \overline{ID-clock} \cdot \overline{Toggle-FF}.$$

Теперь положим, что на входе INC ID-счетчика появляется импульс “уменьшить фазу”. Сигнал “уменьшить фазу” обрабатывается только в течение периода, когда триггерный переключатель установлен в положение “высоко”. Если импульс “уменьшить фазу” появляется, когда триггерный переключатель находится в положении “низко”

(рис. 6, б), то при следующем положительном фронте сигнала ID-clock переключатель устанавливается в положение “высоко”. Однако начиная со следующего периода сигнала ID-clock переключатель остается в положении “низко” в течение двух периодов. При этом следующий выходной импульс опережает по времени на один такт сигнал ID-clock. Если импульс “уменьшить фазу” появляется, когда триггерный переключатель находится в положении “высоко”, этот переключатель на следующие два такта устанавливается в положение “высоко” (рис. 6, в). Поскольку сигнал “уменьшить фазу” может обрабатываться только в случае, если триггерный переключатель находится в положении “высоко”, максимальная частота выходного сигнала достигается, когда состояния триггерного переключателя изменяются в следующем порядке: “высоко”—“низко”—“низко”—“высоко”—“низко”—“низко”... Следовательно, частота выходного сигнала ID-счетчика не может превышать двух третей значения тактовой частоты ID-clock. Работа схемы при поступлении сигнала “увеличить фазу” показана на рис. 6, г. По аналогии, импульс “увеличить фазу” обрабатывается только в случае, если триггерный переключатель находится в состоянии “низко”. Как только считывается импульс “увеличить фазу”, триггерный переключатель устанавливается в положение “высоко” на два следующих положительных фронта ID-clock. Поэтому следующий выходной импульс оказывается задержанным на один такт ID-clock. ID-счетчик обеспечивает минимальное значение частоты на выходе, когда состояния триггерного переключателя изменяются в следующем порядке: “низко”—“высоко”—“высоко”—“низко”—“высоко”—“высоко”... Таким образом, минимальная выходная частота ID-счетчика равна одной трети тактовой частоты. Очевидно, что диапазон выходных частот ID-счетчика ограничивает реализуемый диапазон рабочих частот ЦСС. Следует отметить, что описание работы ID-счетчика было немного упрощено: схема реального ID-счетчика содержит не только триггерный переключатель, но также восемь триггеров и большое количество логических элементов.

Поскольку для обработки каждого сигнала “уменьшить фазу” или “увеличить фазу” ID-счетчиком необходимо три такта, максимальная частота импульсов “уменьшить фазу” или “увеличить фазу” не превышает одной трети тактовой частоты. При более высокой частоте следования импульсов “уменьшить фазу” или “увеличить фазу” некоторые из них оказываются пропущены (не обрабатываются). Когда средняя частота импульсов “уменьшить фазу” такова, что все они обрабатываются, мгновенная частота выходного сигнала возрастает на $n/2$ Гц, где n — количество импульсов “уменьшить фазу”, обнаруживаемых в те-

чение 1 с. Для того чтобы все импульсы “уменьшить фазу” или “увеличить фазу” были обработаны, необходимо выполнение условия [6]

$$N > N_{\min} = \frac{3M}{2K}.$$

Поскольку M , K и N обычно являются натуральными степенями числа 2, то минимальное значение N следует выбирать исходя из условия

$$N \geq N_{\text{пр}} = \frac{2M}{K}, \quad (1)$$

где $N_{\text{пр}}$ также является натуральной степенью числа 2.

Анализ системы выполнен при следующих допущениях:

— K -счетчик чувствителен к отрицательным фронтам сигнала K -clock;

— триггерный переключатель внутри ID-счетчика чувствителен к положительным фронтам сигнала ID-clock;

— все триггеры счетчика-делителя чувствительны к отрицательным фронтам соответствующего тактового сигнала.

Выходной сигнал ЦСС в общем случае имеет флуктуации фазы вследствие того, что его частота может принимать только ряд дискретных значений. Для обеспечения минимальных (теоретически — нулевых) флуктуаций фазы системы с ФД на элементе “исключающее или” при работе на центральной частоте должно соблюдаться условие

$$M \geq 4K \quad (2)$$

или

$$M \geq 2K, \quad (3)$$

если в качестве ФД используется jk -триггер. Тактовые сигналы K -clock и ID-clock производятся одним и тем же генератором, т.е. $M = 2N$. Выполнение совокупности условий (2) или (3) и (1) обеспечивает оптимальную конфигурацию для ЦСС данной конструкции.

Теоретический предел полосы синхронизации Δf_H для рассматриваемой ЦСС можно определить по формуле [6, 7]

$$\Delta f_H = f_0 \frac{M}{2KN}. \quad (4)$$

Величина, предсказываемая формулой (4), на практике не достигается, но методом компьютерного моделирования показано, что полоса синхронизации составляет в среднем приблизительно 90 % от ее теоретического значения.

Если данная ЦСС находится в режиме синхронизации, то для ее анализа можно использовать эквивалентную аналоговую модель [6, 7], анализ передаточной функции которой показывает, что рассматриваемая ЦСС является системой первого порядка.

Модель входного сигнала. Использование термина “отношение сигнал/шум” (ОСШ) при анализе ЦСС вызывает некоторые сложности. Для непрерывных систем синхронизации входной сигнал является аддитивной смесью информативной и шумовой составляющих. К сожалению, такая модель не может быть непосредственно применена для ЦСС (по крайней мере, для ЦСС описанной конструкции), которые, как известно, обрабатывают исключительно бинарные сигналы. Более того, входные цепи, осуществляющие формирование бинарного сигнала, вынесены за рамки модели, используемой в данном случае для анализа ЦСС, поскольку предполагается, что система обрабатывает уже сформированные бинарные входные сигналы. Таким образом, задача состоит в том, чтобы ввести понятие ОСШ для бинарного сигнала.

Рассмотрим природу возникновения фазовых флуктуаций при передаче сигнала по линиям связи (рис. 7). На рис. 7, *а* представлена временная диаграмма бинарного информативного входного сигнала u_1 . Обычно этот сигнал передается по линии связи, ширина полосы ко-

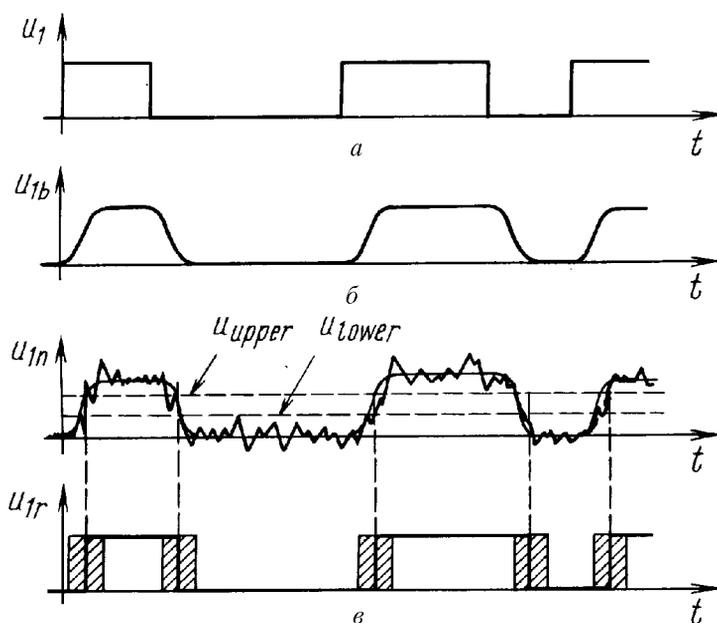


Рис. 7. Модель входного сигнала:

а — исходный сигнал; *б* — воздействие ограниченной полосы линии связи на сигнал; *в* — воздействие помехи

торой ограничена. Если линия передачи не вносит дополнительного шума, фронты u_1 будут иметь строго определенное время возникновения. При наложении шума сигнал на конце линии передач u_{1n} не имеет четких фронтов. Сигнал обычно обрабатывается триггером Шмитта, имеющим верхний и нижний пороговые уровни u_{upper} и u_{lower} соответственно. Преобразованный сигнал обозначен u_1 , его график представлен на рис. 7, в. Вследствие ограниченности ширины полосы линий связи и наложения шума появляются области временной неопределенности (заштрихованные области на рис. 7, в), которые становятся шире с увеличением уровня шума (т.е. при уменьшении ОСШ аддитивной смеси полезного сигнала и шума). Эти области временной неопределенности и определяют фазовые флуктуации фронтов бинарного сигнала.

В большинстве случаев фазовые флуктуации имеют нормальный закон распределения. Для такого распределения 99,7 % измеренного фазового шума находится в пределах $\pm 3\sigma$, где σ — квадратный корень из дисперсии σ^2 фазовых флуктуаций входного сигнала. Таким образом, ширина w интервала временной неопределенности фронтов входного сигнала соответствует примерно $\pm 3\sigma$; следовательно,

$$\sigma \approx \frac{w}{6}.$$

Тогда модель входного сигнала представляет собой полезный бинарный сигнал, искаженный путем смещения фронтов по времени на случайную величину n_k .

Последовательность чисел n_k , имеющую нормальный закон распределения, можно получить с помощью центральной предельной теоремы теории вероятностей. Используя датчик случайных чисел u_j с равномерным законом распределения на интервале $[0, 1]$, получаем числа, распределенные по закону, близкому к нормальному, с нулевым математическим ожиданием и средним квадратическим отклонением σ_n [3]:

$$n = \sigma_n \sqrt{\frac{12}{l}} \left(\sum_{j=1}^l u_j - \frac{l}{2} \right),$$

где $1 \geq l \geq 12$. Среднее квадратическое отклонение шума можно определить при заданном ОСШ:

$$\sigma = T_0/\rho, \quad (5)$$

где T_0 — период входного сигнала, ρ — ОСШ.

При достаточно малых значениях ОСШ возможна потеря некоторого числа фронтов сигнала на одном из логических уровней. При использовании ФД на элементе “исключающее или” среднее значение выходного сигнала \bar{u}_d ФД теоретически остается равным нулю (точнее, $\bar{u}_d = 0,5$) в течение этого периода времени, т.е. частота, производимая УГИ, быстро не изменяется. Однако при использовании ФД на jk -триггере ситуация совсем иная. Поскольку это устройство чувствительно к фронту сигнала, выходной сигнал u_d может оставаться на определенном логическом уровне в течение интервала времени, когда входной сигнал пропадает, при этом частота импульсов, производимых УГИ, будет быстро изменяться.

В настоящей работе рассматривается входной сигнал, не имеющий потерянных импульсов. Для того чтобы исключить вероятность искажения полезного сигнала шумом, введем следующее ограничение: $3\sigma_n < T_0/4$. Отсюда с учетом формулы (5) получаем приближенное ограничение на допустимые значения ОСШ: $\rho > 12$.

Описанная модель входного сигнала предполагает, что в течение одного периода входного сигнала дискретизация шума осуществляется дважды — в моменты возникновения положительного и отрицательного фронтов, если в качестве ФД используется элемент “исключающее или”. Для ЦСС с ФД на jk -триггере дискретизация шума осуществляется один раз в течение периода входного сигнала — в момент возникновения его отрицательного фронта. Тогда, пренебрегая непостоянностью периода дискретизации (положим, что ОСШ достаточно велико), на основании теоремы Котельникова–Найквиста можно сделать вывод о том, что верхняя частота шума ограничена частотой входного сигнала или половиной частоты входного сигнала при использовании ФД на элементе “исключающее или” и на jk -триггере соответственно. Если воздействующий на систему шум является широкополосным, то центральная частота находится за пределами полосы синхронизации (для ЦСС с ФД на jk -триггере центральная частота шума находится за пределами полосы синхронизации в любом случае).

Статистические характеристики сигнала ошибки. Исследование статистических характеристик осуществлялось посредством компьютерного моделирования. Для этого автором настоящей работы была написана (на языке C++) программа, имитирующая работу ЦСС рассматриваемой конструкции.

В соответствии с описанной моделью системы среднему значению выходного сигнала \bar{u}_d ФД за период входного сигнала соответствует величина фазовой ошибки $\theta_e = \pi\bar{u}_d$ для ФД на элементе “исключающее

или” или $\theta_e = 2\pi\bar{u}_d$ для ФД на jk -триггере. В силу допущения, что случай $\bar{u}_d = 0,5$ соответствует нулевой фазовой ошибке ($\theta_e = 0$), получим $\bar{u}_d = n_1/n - 0,5$, где n — период входного сигнала в тактах (K -clock), n_1 — число тактов периода входного сигнала, в течение которых выходной сигнал ФД имеет высокий уровень. Тогда $\theta_e = \pi(n_1/n - 0,5)$ для ФД на элементе “исключающее или” или $\theta_e = 2\pi(n_1/n - 0,5)$ для ФД на jk -триггере.

Очевидно, что фазовая ошибка может принимать ряд дискретных значений, число которых равно n . Однако величина n в общем случае не может быть определена точно: она зависит от периода входного сигнала, который случайным образом изменяется под воздействием шума. Тем не менее, неизменным остается диапазон изменения ошибки.

На рис. 8, 9 приведены графики распределения вероятности ошибки в стационарном режиме при различных значениях ОСШ. Объем выборок каждого из графиков равен 100000 отсчетов. Частотная расстройка β нормирована по полосе синхронизации.

Из рис. 8, 9 видно, что вероятность ошибки имеет математическое ожидание, отличное от нуля. Смещение распределения вероятности вправо (при $\beta = 0$) является результатом воздействия шума за пределами полосы синхронизации, ниже центральной частоты ЦСС. Рассмотрим это явление на примере ЦСС с ФД на jk -триггере. При малых значениях параметров M и N (см. рис. 9, а, б) смещение вправо наиболее ярко выражено, более того, отчетливо наблюдается расщепление пика огибающей распределения. По мере возрастания значений параметров M и N система становится менее чувствительна к шуму, частота которого выходит за пределы полосы синхронизации (см. рис. 9, в, г). Однако при дальнейшем возрастании значений параметров N и K система вновь проявляет склонность к смещению распределения вероятности ошибки под воздействием шума (см. рис. 9, д). Следует также отметить, что при возрастании значений параметров N и K снижается быстродействие ЦСС.

На рис. 10 приведены графики распределения вероятности ошибки в стационарном режиме при $\beta = 0,1$ и различных значениях ОСШ.

Гребенчатый вид графиков на рис. 8–10, особенно при больших значениях ОСШ, является не следствием дискретности значений фазовой ошибки (случайный характер изменения числа состояний ошибки сглаживает пики, создаваемые дискретностью ошибки, особенно при малых значениях ОСШ), а следствием описанных в работе [8] свойств ЦСС.

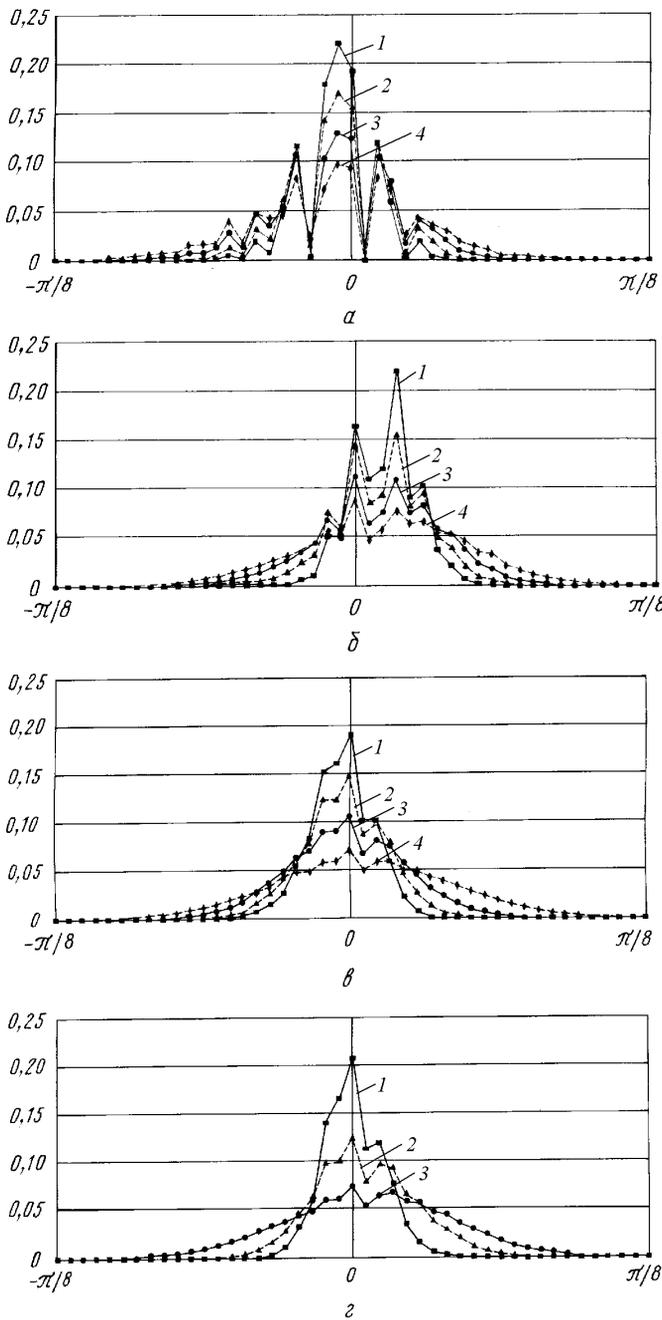


Рис. 8. Распределение вероятностей ошибки ЦСС с ФД на элементе “исключающее или” для $\rho = 36$ (1), 24 (2), 16 (3), 12 (4):

a — при $K = 8, M = 32, N = 16, \beta = 0$; *б* — при $K = 16, M = 64, N = 32, \beta = 0$;
в — при $K = 32, M = 128, N = 64, \beta = 0$; *г* — при $K = 16, M = 128, N = 64, \beta = 0$

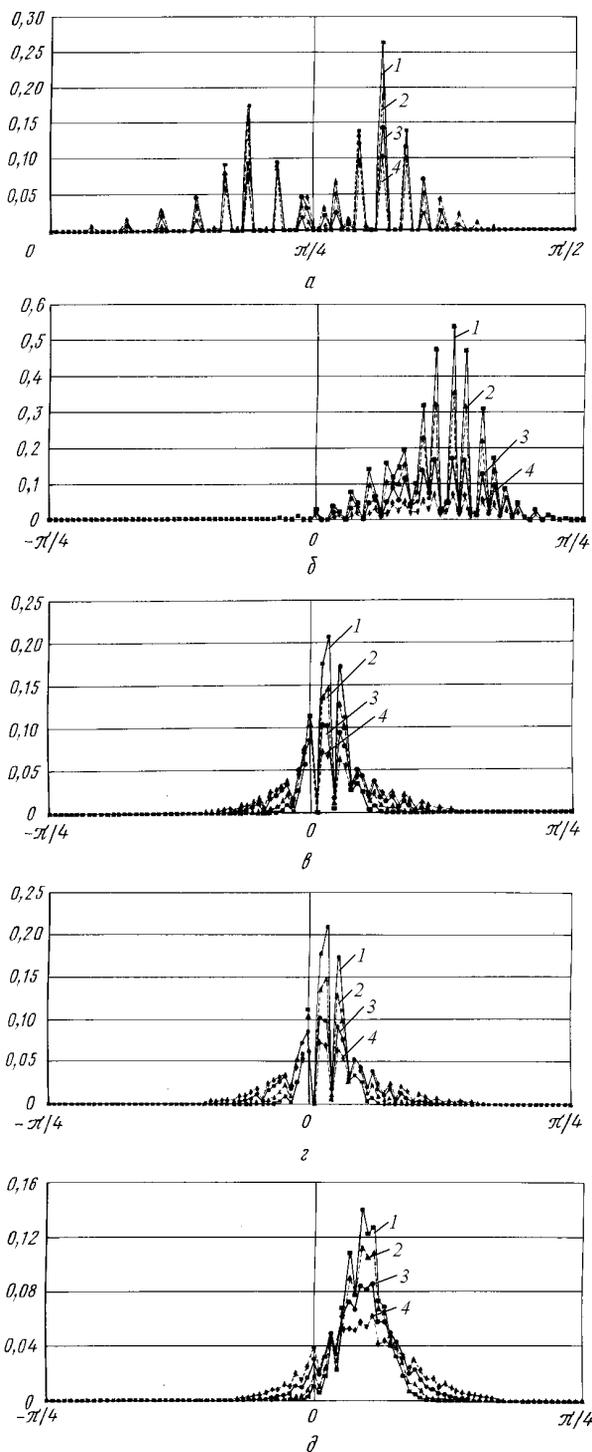


Рис. 9. Распределение вероятностей ошибки ЦСС с ФД на jk -триггере для $\rho = 36$ (1), 24 (2), 16 (3), 12 (4);

a — при $K = 8, M = 16, N = 8, \beta = 0$; *б* — при $K = 16, M = 32, N = 16, \beta = 0$;

в — при $K = 16, M = 64, N = 32, \beta = 0$; *г* — при $K = 32, M = 64, N = 32, \beta = 0$;

д — при $K = 64, M = 128; N = 64, \beta = 0$

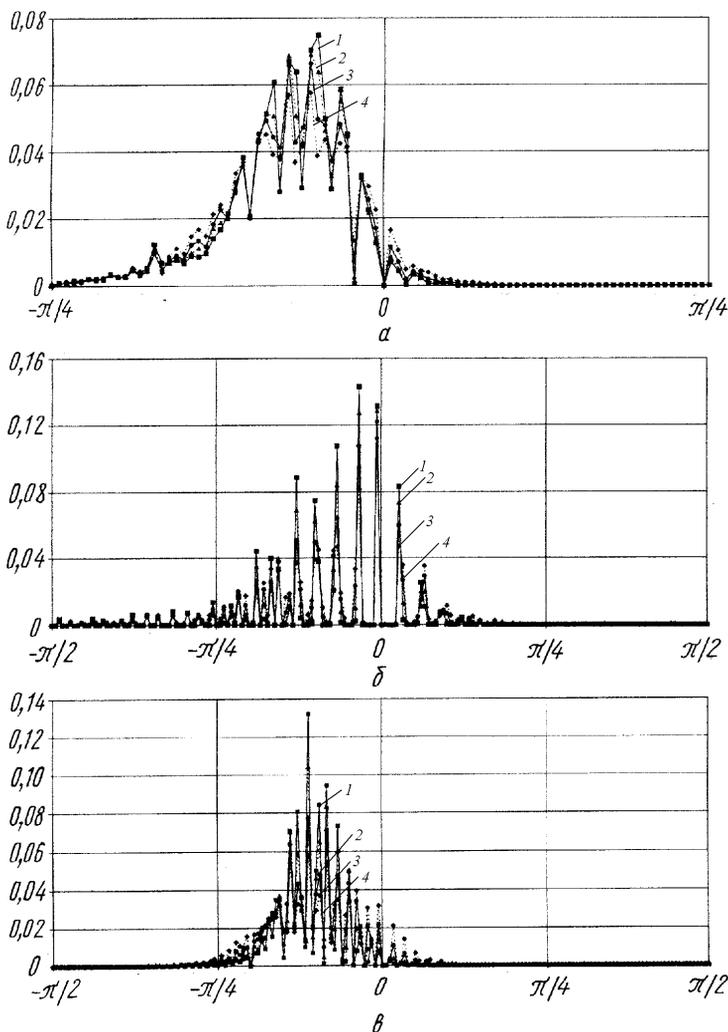


Рис. 10. Распределение вероятностей ошибки ЦСС с ФД на элементе “исключающее или” для $\rho = 36$ (1), 24 (2), 16 (3), 12 (4):

a — при $K = 8, M = 32, N = 16, \beta = 0,1$; *б* — при $K = 8, M = 16, N = 8, \beta = 0,1$;
в — при $K = 16, M = 32, N = 16, \beta = 0,1$

Заключение. Проведенное в настоящей работе исследование одной из важнейших статистических характеристик ЦСС — распределения вероятности ошибки — показало, что рассматриваемая ЦСС в ряде аспектов имеет сходство с изученными ранее непрерывными и импульсными системами. Однако это сходство весьма условно.

Полученные результаты позволяют учитывать воздействие шума на информативный сигнал при выборе оптимальных конструктивных параметров ЦСС данной структуры.

Можно предположить, что для рассмотренной ЦСС также имеет место эффект смещения полосы синхронизации в направлении помехи,

лежащей за пределами полосы синхронизации [3]. Вопрос о том, может ли при этом полоса синхронизации превзойти предел, установленный формулой (4), — предмет отдельного исследования.

СПИСОК ЛИТЕРАТУРЫ

1. Holmes J. K. Performance of a First-Order Transition Sampling Digital Phase-Locked Loop Using Random-Walk Models // IEEE Trans. – 1972. – V. COM-20. – № 2. – P. 119–131.
2. Nakao M., Yamashita K. Comparative Study on DPLL's Based on Power Density Spectrum of Phase Error Sequence // Electronics and Communication in Japan. – 1990. – V. 73. Part 1. – № 6. – P. 85–97.
3. Шахтарин Б. И. Статистическая динамика систем синхронизации. – М.: Радио и связь, 1998. – 488 с.
4. Lindsey W. C., Chie C. M. A survey of digital phase-locked loops // IEEE Proc. – 1981. – V. 69. – № 4. – P. 410–431.
5. Chie C. M. Mathematical analogies between first-order digital and analog phase-locked loops // IEEE Trans. – 1978. – V. COM-26. – № 6. – P. 860–865.
6. Best R. E. Phase-locked loops. Design, simulations and applications. – N.Y.: McGraw-Hill, 1997.
7. Troha D. G., Gallia J. D. Digital Phase-Locked Loop Design Using SN54/74LS297 // Application Note AN 3216. – Dallas (TX): Texas Instruments Inc., 1997.
8. Цифровые системы фазовой синхронизации / Под ред. М.И. Жодзишского. – М.: Сов. радио, 1980.

Статья поступила в редакцию 27.01.2003

Юрий Михайлович Болотов родился в 1977 г., окончил в 2000 г. МГТУ им. Н.Э. Баумана. Аспирант кафедры “Автономные информационные и управляющие системы” МГТУ им. Н.Э. Баумана. Специализируется в области систем синхронизации и оценки спектра.

Yu.M. Bolotov (b. 1977) graduated from the Bauman Moscow State Technical University in 2000. Post-graduate of “Autonomous Data and Control Systems” department of the Bauman Moscow State Technical University. Specializes in the field of systems of synchronization and spectral estimation.

