

В. Н. Локтюхин, С. В. Челебаев,
А. В. Антоненко

ПРОЦЕДУРЫ НАСТРОЙКИ НЕЙРОСЕТЕВЫХ ПРЕОБРАЗОВАТЕЛЕЙ ФОРМЫ ПРЕДСТАВЛЕНИЯ ИНФОРМАЦИИ НА БАЗЕ ПРОГРАММИРУЕМЫХ СВЕРХБОЛЬШИХ ИНТЕГРАЛЬНЫХ СХЕМ

Рассмотрены процедуры настройки нейросетевых преобразователей формы представления аналоговой информации в цифровой код с обучаемой структурой на базе программируемых сверхбольших интегральных схем. Предложены процедуры коррекции весовых коэффициентов и порогов нейронов, полученных в результате обучения двухслойного персептрона с использованием стандартного алгоритма обучения на примере решения задачи преобразования частоты в цифровой код.

Ключевые слова: нейросетевые преобразователи, сверхбольшие интегральные схемы, обработка информации.

В современных измерительных системах широкое распространение получили датчики, выдающие результат в виде аналоговой величины x , представленной частотой f_x , периодом T_x , временным интервалом τ_x и напряжением U_x . Одним из направлений повышения эффективности преобразователей формы представления информации в этих системах является расширение функциональных (интеллектуальных) возможностей преобразователей формы представления аналоговой информации [1].

До недавнего времени развитие интеллектуальных (в узком смысле этого слова) преобразователей велось в основном по пути совместной реализации в одной микропроцессорной вычислительной среде как собственно функций преобразования, так и нелинейной математической переработки входных аналоговых сигналов, например их функционального преобразования. В связи с этим перспективны исследования по разработке интеллектуальных преобразователей формы информации (ПФИ), когда синтез их структуры базируется на применении теории искусственных нейронных сетей (ИНС), нечеткой логики и генетических алгоритмов, объединяемых под названием “мягкие вычисления”, а также на использовании для их реализации сверхбольших интегральных схем (СБИС) с перепрограммируемой структурой, в частности программируемых логических интегральных схем (ПЛИС).

В известных публикациях недостаточно освещены вопросы, связанные с методикой синтеза аналого-цифровых преобразователей (АЦП) с расширенными функциональными возможностями. Так, среди зарубежных работ [2–6] по созданию ПФИ наибольшее внимание

уделяется вопросам построения и реализации только класса линейных преобразователей напряжение–код, в основном с применением сети Хопфилда и ее модификаций.

Формализованная методика синтеза ПФИ на основе аппарата ИНС, используемая авторами настоящей работы, содержит следующие этапы [1]:

- 1) представление преобразователя в виде нейросетевой структуры, построение математических моделей ее нейроузлов;
- 2) задание логических сигналов нейроструктуры ПФИ и ее узлов с помощью матриц;
- 3) представление нейросетевых операций в булевом базисе, структурный синтез цифровых автоматов для их реализации;
- 4) реализация синтезируемой структуры ПФИ на заданной элементной базе.

Первый этап разбивается на следующие составляющие [7, 8]:

- выбор и обоснование исходной ИНС;
- определение базовой конфигурации структуры ПФИ как сети;
- настройка сети.

Одним из трудоемких этапов проектирования нейросетевого преобразователя формы представления информации на СБИС является настройка нейросети ПФИ на решение поставленной задачи преобразования аналог–код [9, 10]. Это связано с тем, что стандартные алгоритмы обучения ИНС рассчитаны, как правило, на цифровую форму представления входной, внутренней и выходной информации. При этом обучение не учитывает аппаратного способа реализации нейросетевого АЦП с гибридной (аналоговой и цифровой) формой представления информации, которая накладывает определенные ограничения на выбор значений коэффициентов, задающих веса синаптических связей и порогов нейронов преобразователя, а также на способы их физической реализации.

В связи с этим является актуальным создание процедур настройки нейросетевых АЦП, ориентированных на реализацию новой функции преобразования на базе СБИС.

Основное содержание настройки ИНС-преобразователя аналог–код. Под настройкой ИНС-преобразователя понимается совокупность специальных процедур, обеспечивающих на основе нейросетевой модели преобразователя поддержку проведения операций, необходимых для его проектирования.

На этапе структурного проектирования в их перечень включаются такие операции, как выбор алгоритма обучения нейросети и обучающих примеров, а также собственно процедуры обучения и тестирования устройства на решение поставленной задачи преобразования. Далее на схемотехническом этапе проводится формирование логической (или электрической) схемы преобразователя и анализ ее эффективности для конкретной микроэлектронной реализации устройства с

необходимыми технико-экономическими параметрами, а при необходимости — коррекция конфигурации и параметров схемы.

Основу настройки нейросетевого ПФИ составляют процедуры коррекции значений весов w синаптических связей ИНС и порогов θ нейронов, полученных в результате обучения исходной сети преобразователя с помощью выбранного стандартного алгоритма, например обратного распространения ошибки. В общем случае применение этих процедур позволяет выявить значения весов w и порогов θ нейронов, неэффективных для последующей физической реализации структуры ИНС-преобразователя при заданной форме представления входной переменной; обеспечить уменьшение аппаратных затрат C на формирование синаптических связей за счет приведения их весовых коэффициентов w к виду, приводящему к минимизации затрат ($C \rightarrow \min$) на реализацию преобразователя.

Синтез структуры ИНС-преобразователя частоты f_x в код N_y на основе двухслойного персептрона. Нейросетевой преобразователь $f_x \rightarrow N_y$ на основе двухслойного персептрона [1] с унитарным классификационным способом кодирования результата в диапазонах $100 \dots 0, 010 \dots 0, \dots, 00 \dots 1$ формирует код N_y в виде

$$N_y = \psi_1 \psi_2 \dots \psi_k. \quad (1)$$

При формировании (1) определенное $(p + 1)$ -е положение единственного единичного разряда ψ_{p+1} отражает значение преобразуемой частоты f_x , т.е. $\psi_{p+1} = 1$, если $f_x \in [f_{x_p}; f_{x_{p+1}})$, и $\psi_{p+1} = 0$ иначе; причем $p = \text{Ent} \{f_x / \Delta f_0\} \in \{0, 1, 2, \dots, k - 1\}$; $\Delta f_0 = f_{x_{\max}} / k$; k — число разрядов кода N_y .

Структура нейросетевого ПФИ $f_x \rightarrow N_y$ (рис. 1) с кодированием N_y согласно (1) описывается выражением [1]

$$\psi_i = F^{(2)} \left(\sum_{r=1}^k w_{r,i}^{(2)} F^{(1)} \left(\sum_{j=1}^2 w_{j,r}^{(1)} f_j \right) \right), \quad i = \overline{[1, k]}, \quad (2)$$

где $f_1 = f_x$ — преобразуемая переменная; $f_2 = f_{\text{эт}}$ — эталон преобразования, заданный в виде дискрета $\Delta f_0 = f_{x_{\max}} / k$ преобразования, или максимальной (опорной) величины $f_{x_{\max}}$ преобразования; $w_{j,i}^{(l)}$ — коэффициент, задающий вес синаптической связи между j -м нейроузлом $(l - 1)$ -го слоя $HY_j^{(l-1)}$ и i -м нейроном l -го слоя $HY_i^{(l)}$; ψ_i — разряд кода N_y , снимаемый с выхода i -го нейрона выходного слоя; $F^{(l)}$ — пороговая функция активации нейронов l -го слоя, имеющая вид

$$F^{(l)} \left(S_i^{(l)} \right) = \begin{cases} 1, & \text{если } S_i^{(l)} \geq \theta_i^{(l)}; \\ 0 & \text{иначе,} \end{cases} \quad (3)$$

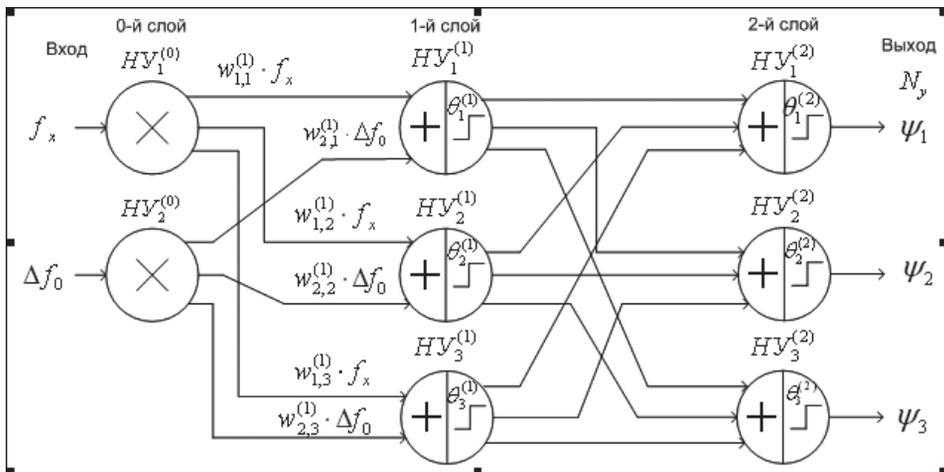


Рис. 1. Структура трехразрядного ИНС-преобразователя $f_x \rightarrow N_y$ на основе двухслойного персептрона

где $\theta_i^{(l)}$ – порог функции активации i -го нейрона l -го слоя; $S_i^{(l)} = \sum_{j=1}^M w_{j,i}^{(l)} \cdot f_j$ – взвешенная сумма значений f_j .

Далее принят вариант задания эталона $f_{\text{ст}}$ в виде дискрета $\Delta f_0 = f_{x_{\text{max}}}/k$.

В результате обучения двухслойного персептрона (2) на реализацию задачи линейной функции преобразования частоты f_x в цифровой код $N_y = \psi_1 \psi_2 \psi_3$ вида

$$N_y = \begin{cases} 100_2, & \text{если } 0 \leq f_x < \Delta f_0, \\ 010_2, & \text{если } \Delta f_0 \leq f_x < 2\Delta f_0, \\ 001_2, & \text{если } 2\Delta f_0 \leq f_x < 3\Delta f_0, \\ 000_2 & \text{иначе} \end{cases}$$

с помощью алгоритма обратного распространения ошибки [2] полученные веса $w_{j,i}^{(l)}$ синаптических связей и порогов $\theta_i^{(l)}$ активационных функций представлены в виде матриц $W^{(l)}$ и $\Theta^{(l)}$:

$$W^{(1)} = \begin{vmatrix} 21,4766 & 20,5260 & -20,026 \\ -7,6016 & -14,6111 & 17,1167 \end{vmatrix}, \quad (4)$$

$$\Theta^{(1)} = \parallel 12,8033\Delta f_0 \quad 25,4081\Delta f_0 \quad -41,9275\Delta f_0 \parallel, \quad (5)$$

$$W^{(2)} = \begin{vmatrix} -15,711 & 15,441 & -1,5102 \\ -4,6578 & -15,481 & 13,6756 \\ 3,4456 & 0,8141 & 13,3914 \end{vmatrix}, \quad (6)$$

$$\Theta^{(2)} = \parallel -4,3888 \quad 8,5032 \quad 18,7505 \parallel. \quad (7)$$

Назначение процедур коррекции весовых коэффициентов и порогов нейронов преобразователя частоты в код на основе двухслойного персептрона. Затраты C на аппаратную реализацию ПФИ $f_x \rightarrow N_y$ (см. рис. 1) определяются как

$$C = c^{(0)} + \sum_{l=1}^L C^{(l)}, \quad (8)$$

где L — число слоев ИНС-преобразователя, обычно $L \in \{1, 2, 3\}$; $c^{(0)}$ и $C^{(l)}$ — затраты на построение нулевого (распределительного) и l -го (обрабатывающего) слоя сети ($l = 1, 2, \dots, L$), состоящего из μ_l нейронов с условной ценой $c_i^{(l)}$ каждый

$$C^{(l)} = \sum_{i=1}^{\mu_l} c_i^{(l)}.$$

При реализации преобразователя на ПЛИС затраты C обычно оценивают в процентах от логической емкости базовой интегральной микросхемы некоторого типа (серии) или числом функциональных генераторов Look-Up-Table (LUT) ПЛИС. При этом каждый LUT реализует логическую функцию четырех переменных.

Основными задачами выполнения процедур коррекции весов (4) и (6) и порогов (5) и (7) нейронов преобразователя являются:

1) приведение весовых коэффициентов $w_{j,i}^{(1)}$ и порогов $\theta_i^{(1)}$ нейронов первого слоя к виду, не допускающему использования значений частот, превышающих максимально допустимое физическое значение $f_{x_{\max}}$;

2) минимизация аппаратных затрат C на реализацию ИНС-преобразователя за счет приведения весов $w_{j,i}^{(2)}$ и порогов $\theta_i^{(2)}$ нейронов второго слоя к виду, дающему возможность его построения на базе логических (булевых) элементов, реализующих одноразрядные операции.

Решение указанных задач обеспечивается последовательным выполнением двух рассматриваемых далее процедур коррекции весовых коэффициентов и порогов нейронов ПФИ $f_x \rightarrow N_y$ (см. рис. 1) на основе двухслойного персептрона.

1. Процедура коррекции весовых коэффициентов и порогов нейронов первого слоя ИНС-преобразователя $f_x \rightarrow N_y$.

Поскольку в качестве дискрета преобразования Δf_0 выступает частота $\Delta f_0 = f_{x_{\max}}/k$, то на значения элементов каждого столбца матриц $W^{(1)}$ (4) и $\Theta^{(1)}$ (5) при построении ПФИ $f_x \rightarrow N_y$ накладываются следующие ограничения:

$$\begin{cases} w_{1,i}^{(1)} \cdot f_x \leq |f_{x_{\max}}|, \\ |\Delta f_0| \leq w_{2,i}^{(1)} \cdot \Delta f_0 \leq |f_{x_{\max}}|, \quad i = \overline{[1, k]}, \end{cases} \quad (9)$$

$$\theta_i^{(1)} \leq |f_{x_{\max}}|, \quad i = \overline{[1, k]}. \quad (10)$$

Введение ограничений (9) и (10) связано с физической невозможностью формирования аппаратурой частот, превышающих максимальную частоту $f_{x_{\max}}$.

Синаптические связи вида $w_{1,i}^{(1)} \cdot f_x$ и $w_{2,i}^{(1)} \cdot \Delta f_0$ реализуются на цифрочастотном умножителе [7].

Систему (9) в результате подстановки $f_x = f_{x_{\max}}$ можно представить в виде

$$\begin{cases} w_{1,i}^{(1)} \leq |1|, \\ |1| \leq w_{2,i}^{(1)} \leq |k|, \quad i = \overline{[1, k]}. \end{cases} \quad (11)$$

Таким образом, значения весовых коэффициентов $w_{1,i}^{(1)}$ ($i = \overline{[1, 3]}$) и $w_{2,i}^{(1)}$ ($i = \overline{[1, 3]}$) матрицы $W^{(1)}$ (4) не удовлетворяют системе (11), а значения порогов $\theta_i^{(1)}$ ($i = \overline{[1, 3]}$) матрицы $\Theta^{(1)}$ (5) — неравенству (10), в котором значения $\theta_i^{(1)}$ связаны с дискретом Δf_0 . Поэтому необходимо осуществить коррекцию полученных в результате обучения сети значений весов (4) и порогов (5) с учетом ограничений, накладываемых на $w_{1,i}^{(1)} f_x$, $w_{2,i}^{(1)} \Delta f_0$ и $\theta_i^{(1)}$.

Коррекция проводится поэтапно.

Этап 1.1. Модификация значений порогов $\theta_i^{(1)}$ первого слоя за счет изменения весовых коэффициентов $w_{2,i}^{(1)}$, входящих в состав синаптических связей $w_{2,i}^{(1)} \Delta f_0$:

$$w_{2,i}^{(1)1} = w_{2,i}^{(1)} - \theta_i^{(1)}, \quad i = \overline{[1, k]}, \quad (12)$$

$$w_{1,i}^{(1)1} = w_{1,i}^{(1)}, \quad i = \overline{[1, k]}, \quad (13)$$

$$\theta_{2,i}^{(1)1} = 0, \quad i = \overline{[1, k]}. \quad (14)$$

В результате применения к матрицам $W^{(1)}$ (4) и $\Theta^{(1)}$ (5) зависимостей (12)–(14) получаются матрицы

$$W^{(1)1} = \begin{vmatrix} 21,4766 & 20,526 & -20,026 \\ -20,4019 & -40,0192 & 59,0442 \end{vmatrix}, \quad (15)$$

$$\Theta^{(1)1} = \begin{vmatrix} 0 & 0 & 0 \end{vmatrix}. \quad (16)$$

Этап 1.2. Масштабирование весовых коэффициентов $w_i^{(1)}$ первого слоя путем деления значений элементов каждого столбца матрицы $W^{(1)1}$ на модуль коэффициента $w_{1,i}^{(1)1}$:

$$w_{1,i}^{(1)2} = w_{1,i}^{(1)1} / \left| w_{1,i}^{(1)1} \right|, \quad i = \overline{[1, k]}, \quad (17)$$

$$w_{2,i}^{(1)2} = w_{2,i}^{(1)1} / \left| w_{1,i}^{(1)1} \right|, \quad i = \overline{[1, k]}. \quad (18)$$

В результате применения к элементам $w_{j,i}^{(1)1}$ ($j = \overline{[1, 2]}$, $i = \overline{[1, k]}$) матрицы $W^{(1)1}$ (15) зависимостей (17) и (18) образуется матрица

$$W^{(1)2} = \left\| \begin{array}{ccc} 1 & 1 & -1 \\ -0,9501 & -1,9497 & 2,9484 \end{array} \right\|. \quad (19)$$

Этап 1.3. Приведение модулей весовых коэффициентов $w_{2,i}^{(1)2}$ матрицы $W^{(1)2}$ (19), не удовлетворяющих неравенству $|1| \leq w_{2,i}^{(1)2} \leq |k|$ системы (11), к ближайшему большему целому:

$$w_{2,i}^{(1)3} = \begin{cases} Ent \left(\left| w_{2,i}^{(1)2} \right| \right), & \text{если } \left| w_{2,i}^{(1)2} \right| < |1| \text{ и } w_{2,i}^{(1)2} \geq 0, \\ -Ent \left(\left| w_{2,i}^{(1)2} \right| \right), & \text{если } \left| w_{2,i}^{(1)2} \right| < |k| \text{ и } w_{2,i}^{(1)2} < 0, \quad i = \overline{[1, k]}; \\ w_{2,i}^{(1)2} & \text{иначе,} \end{cases} \quad (20)$$

$$w_{1,i}^{(1)3} = w_{1,i}^{(1)2}, \quad i = \overline{[1, k]}, \quad (21)$$

где *Ent* — операция нахождения ближайшего большего целого.

Посредством применения к элементам $w_{j,i}^{(1)2}$ ($j = \overline{[1, 2]}$, $i = \overline{[1, k]}$) матрицы $W^{(1)2}$ (19) зависимостей (20), (21) формируется матрица

$$W^{(1)3} = \left\| \begin{array}{ccc} 1 & 1 & -1 \\ -1 & -1,9497 & 2,9484 \end{array} \right\|. \quad (22)$$

Матрицы $W^{(1)3}$ (22) и $\Theta^{(1)1}$ (16) показывают, что задача получения весовых коэффициентов и порогов слоя с наложенными на них ограничениями (11) и (10) выполнена.

2. Процедура коррекции весовых коэффициентов и порогов нейронов второго слоя ИНС-преобразователя $f_x \rightarrow N_y$. Пример схемы, реализующей формирование бита ψ_1 во втором слое ПФИ $f_x \rightarrow N_y$, приведен на рис. 2, где $z_j^{(1)}$ — выходной сигнал j -го нейрона первого слоя, $S_i^{(2)}$ — взвешенная сумма входных сигналов i -го нейрона второго слоя.

Анализ аппаратных затрат на реализацию схемы (см. рис. 2) свидетельствует о линейной зависимости числа LUT ПЛИС от числа n разрядов преобразователя. Так, для $n = 8$ требуется 168, а для $n = 16$ — 336 LUT.

В схеме (см. рис. 2) в произведении вида $w_{j,i}^{(2)} z_j^{(1)}$ переменная $z_j^{(1)} = \{0, 1\}$ является однобитовой. Вследствие этого в целях упрощения схемы умножителя целесообразно операцию $w_{j,i}^{(2)} \cdot z_j^{(1)}$ представить

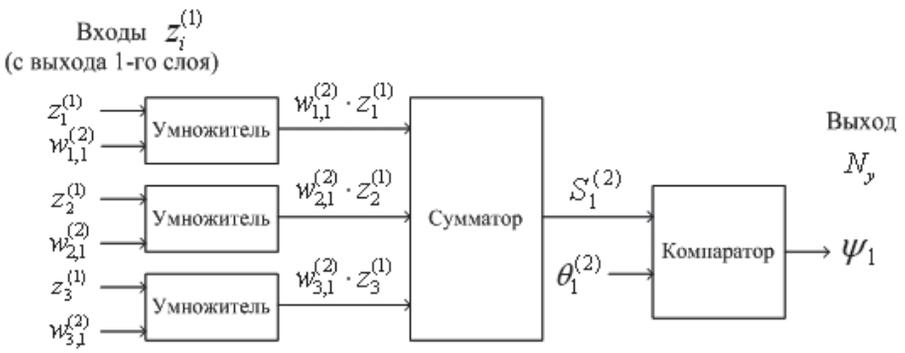


Рис. 2. Структурная схема формирования ψ_1 для трехразрядного ПФИ $f_x \rightarrow N_y$

в следующем виде:

$$w_{j,i}^{(2)} \cdot z_j^{(1)} = \begin{cases} w_{1,j}^{(2)}, & \text{если } z_j^{(1)} = 1, \\ 0 & \text{иначе.} \end{cases} \quad (23)$$

Представление операции умножения $w_{j,i}^{(2)} \cdot z_j^{(1)}$ в виде (23) требует проведения коррекции значений весовых коэффициентов и порогов нейронов второго слоя, осуществляемой с помощью предлагаемой далее процедуры, которая выполняется поэтапно.

Этап 2.1. Масштабирование весовых коэффициентов и порогов нейронов второго слоя путем деления значений элементов $w_{j,i}^{(2)}$ и $\theta_i^{(2)}$ каждого i -го столбца ($i = \overline{[1, k]}$) матриц $W^{(2)}$ и $\Theta^{(2)}$ на модуль соответствующего порога $\theta_i^{(2)}$ нейрона второго слоя:

$$w_{j,i}^{(2)1} = w_{j,i}^{(2)} / \left| \theta_i^{(2)} \right|, \quad j = \overline{[1, 2]}, \quad i = \overline{[1, k]}, \quad (24)$$

$$\theta_i^{(2)1} = \theta_i^{(2)} / \left| \theta_i^{(2)} \right|, \quad i = \overline{[1, k]}. \quad (25)$$

Посредством применения зависимостей (24) и (25) к матрицам $W^{(2)}$ (6) и $\Theta^{(2)}$ (7) получены матрицы $W^{(2)1}$ и $\Theta^{(2)1}$:

$$W^{(2)1} = \begin{pmatrix} -3,5798 & 1,8159 & -0,0805 \\ -1,0613 & -1,8206 & 0,7293 \\ 0,7851 & 0,0957 & 0,7142 \end{pmatrix}, \quad (26)$$

$$\Theta^{(2)1} = \parallel -1 \quad 1 \quad 1 \parallel. \quad (27)$$

Этап 2.2. Умножение значений элементов i -х столбцов ($i = \overline{[1, k]}$) матриц $W^{(2)1}$ и $\Theta^{(2)1}$ на 2, если модуль максимального элемента $\left| w_{i_{\max}}^{(2)1} \right| = \max_j \left| w_{j,i}^{(2)1} \right|$ i -го столбца матрицы $W^{(2)1}$ меньше модуля

элемента $\left| \theta_i^{(2)1} \right|$ матрицы $\Theta^{(2)1}$:

$$w_{j,i}^{(2)2} = \begin{cases} 2 \cdot w_{j,i}^{(2)1}, & \text{если } \max_j \left| w_{j,i}^{(2)1} \right| < \left| \theta_i^{(2)1} \right|, \quad j = \overline{[1, k]}, \quad i = \overline{[1, k]}; \\ w_{j,i}^{(2)1} & \text{иначе,} \end{cases} \quad (28)$$

$$\theta_i^{(2)2} = \begin{cases} 2 \cdot \theta_i^{(2)1}, & \text{если } \max_j \left| w_{j,i}^{(2)1} \right| < \left| \theta_i^{(2)1} \right|, \\ \theta_i^{(2)1} & \text{иначе} \end{cases} \quad i = \overline{[1, k]}. \quad (29)$$

После применения зависимостей (28) и (29) к матрицам $W^{(2)1}$ (26) и $\Theta^{(2)1}$ (27) получены матрицы

$$W^{(2)2} = \left\| \begin{array}{ccc} -3,5798 & 1,8159 & -0,1611 \\ -1,0613 & -1,8206 & 1,4586 \\ 0,7851 & 0,0957 & 1,4284 \end{array} \right\|, \quad (30)$$

$$\Theta^{(2)2} = \left\| -1 \quad 1 \quad 2 \right\|. \quad (31)$$

Этап 2.3. Деление значений элементов $w_{j,i}^{(2)2}$ i -го столбца ($i = \overline{[1, k]}$) матрицы $W^{(2)2}$ на модуль его максимального элемента $\left| w_{i_{\max}}^{(2)2} \right| = \max_j \left| w_{j,i}^{(2)2} \right|$. Положительные значения порогов $\theta_i^{(2)2}$ ($i = \overline{[1, k]}$) матрицы $\Theta^{(2)2}$ остаются неизменными, а отрицательные делятся на максимальный элемент $\left| w_{i_{\max}}^{(2)2} \right|$ i -го столбца матрицы $W^{(2)2}$:

$$w_{j,i}^{(2)3} = w_{j,i}^{(2)2} / \left| \max_j \left| w_{j,i}^{(2)2} \right| \right|, \quad j = \overline{[1, k]}, \quad i = \overline{[1, k]}; \quad (32)$$

$$\theta_i^{(2)3} = \begin{cases} \theta_i^{(2)2} / \left| \max_j \left| w_{j,i}^{(2)2} \right| \right|, & \text{если } \theta_i^{(2)2} < 0; \\ \theta_i^{(2)2} & \text{иначе,} \end{cases} \quad i = \overline{[1, k]}. \quad (33)$$

Посредством применения зависимостей (32) и (33) к матрицам $W^{(2)2}$ (30) и $\Theta^{(2)2}$ (31) получены матрицы

$$W^{(2)3} = \left\| \begin{array}{ccc} -1 & 0,9974 & -0,1104 \\ -0,2965 & -1 & 1 \\ 0,2193 & 0,0526 & 0,9793 \end{array} \right\|, \quad (34)$$

$$\Theta^{(2)3} = \left\| -0,2793 \quad 1 \quad 2 \right\|. \quad (35)$$

Этап 2.4. Округление до целого (round) значений весовых коэффициентов $w_{j,i}^{(2)3}$ ($j = \overline{[1, k]}, i = \overline{[1, k]}$) матрицы $W^{(2)3}$ (34) и порогов

$\theta_i^{(2)3}$ ($i = [\overline{1, k}]$) матрицы $\Theta^{(2)3}$ (35):

$$w_{j,i}^{(2)4} = \text{round} \left(w_{j,i}^{(2)3} \right), \quad j = [\overline{1, k}], \quad i = [\overline{1, k}]; \quad (36)$$

$$\theta_i^{(2)4} = \text{round} \left(\theta_i^{(2)3} \right), \quad j = [\overline{1, k}], \quad i = [\overline{1, k}]. \quad (37)$$

В результате применения зависимостей (36) и (37) к матрицам $W^{(2)3}$ (34) и $\Theta^{(2)3}$ (35) получены матрицы

$$W^{(2)4} = \left\| \begin{array}{ccc} -1 & 1 & 0 \\ 0 & -1 & 1 \\ 0 & 0 & 1 \end{array} \right\|, \quad (38)$$

$$\Theta^{(2)4} = \left\| \begin{array}{ccc} 0 & 1 & 2 \end{array} \right\|. \quad (39)$$

Этапы 2.5–2.7, рассматриваемые далее, выполняются в том случае, если ни один из элементов i -го столбца матрицы $W^{(2)4}$ не принимает положительных значений, а порог $\theta_i^{(2)4}$ матрицы $\Theta^{(2)4}$ — отрицательного значения; элемент $\theta_i^{(2)4}$ матрицы $\Theta^{(2)4}$ принимает значение, равное единице, и только один j -й элемент $w_{j,i}^{(2)4}$ ($j = [\overline{1, k}]$) принимает значение, неравное нулю.

Этап 2.5. Выполняются операции:

$$w_{j,i}^{(2)5} = \begin{cases} 2w_{j,i}^{(2)1}, & \text{если } \left(w_{j,i}^{(2)4} \leq 0 \text{ для } j = [\overline{1, k}] \right) \text{ и } \left(\theta_i^{(2)4} > 0 \right), \\ 2w_{j,i}^{(2)3}, & \text{если } \left(\sum_{j=1}^k |w_{j,i}^{(2)4}| = 1 \right) \text{ и } \left(\theta_i^{(2)4} = 1 \right), \\ w_{j,i}^{(2)4} & \text{иначе,} \\ & j = [\overline{1, k}], \quad i = [\overline{1, k}]; \end{cases} \quad (40)$$

$$\theta_i^{(2)5} = \begin{cases} 2\theta_i^{(2)1}, & \text{если } \left(w_{j,i}^{(2)4} \leq 0 \text{ для } j = [\overline{1, k}] \right) \text{ и } \left(\theta_i^{(2)4} > 0 \right), \\ \theta_i^{(2)4} & \text{иначе,} \\ & j = [\overline{1, k}], \quad i = [\overline{1, k}]. \end{cases} \quad (41)$$

Этап 2.6. Округление до целого элементов матрицы $W^{(2)5}$ (40), полученной в результате выполнения операции

$$w_{j,i}^{(2)6} = \text{round} \left(w_{j,i}^{(2)5} \right), \quad j = [\overline{1, k}], \quad i = [\overline{1, k}]. \quad (42)$$

Этап 2.7. Элементы $w_{j,i}^{(2)6}$ ($j = [\overline{1, k}], i = [\overline{1, k}]$) матрицы $W^{(2)6}$, превышающие единицу по модулю, принимаются равными единице с

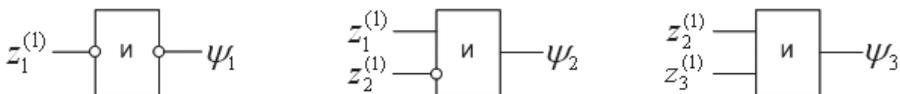


Рис. 3. Логическая схема второго слоя трехразрядного ИНС-преобразователя $f_x \rightarrow N_y$ на основе матриц $W^{(2)4}$ (38) и $\Theta^{(2)4}$ (39)

учетом знака

$$w_{j,i}^{(2)7} = \begin{cases} 1, & \text{если } w_{j,i}^{(2)6} > 1, \\ -1, & \text{если } w_{j,i}^{(2)6} < -1, \\ w_{j,i}^{(2)6} & \text{иначе.} \end{cases} \quad j = [\overline{1, k}], \quad i = [\overline{1, k}], \quad (43)$$

С учетом проведенной процедуры коррекции логическая схема, реализующая второй слой двухслойного персептрона трехразрядного ПФИ $f_x \rightarrow N_y$ (см. рис. 1) с использованием значений весов (38) и порогов (39), содержит только двухвходовые логические элементы “И” (рис. 3) вместо цифровых умножителей (см. рис. 2).

В таблице приведены характеристики аппаратных затрат $C^{(2)}$ на реализацию второго слоя сети ПФИ $f_x \rightarrow N_y$ (см. рис. 1) на основе схем, представленных на рис. 2 и 3, в зависимости от числа k разрядов (разрядности) результата N_y для нескорректированных и скорректированных весов синаптических связей и порогов нейронов.

Таблица

Зависимость аппаратных затрат $C^{(2)}$ второго слоя ПФИ $f_x \rightarrow N_y$ от разрядности k результата N_y

Разрядность k результата N_y	LUT (до / после коррекции)
3	168 / 3
4	288 / 4
6	624 / 6
8	1088 / 8
10	1680 / 10
12	2400 / 12

Как видно из таблицы, реализация второго слоя сети ПФИ $f_x \rightarrow N_y$ на логических элементах с использованием скорректированных значений весовых коэффициентов и порогов нейронов позволяет на два порядка сократить аппаратные затраты по сравнению с применением весовых коэффициентов, полученных на основе настройки сети с использованием алгоритма обратного распространения ошибки [11].

Реализация структуры ИНС-преобразователя частоты f_x в код N_y на основе двухслойного персептрона. При микросхеменной реализации структуры ИНС-преобразователя (см. рис. 2) с учетом скорректированных значений весовых коэффициентов и порогов нейронов на основе описанных ранее процедур использована микросхема

FPGA XC2S15-5VQ100C фирмы Xilinx емкостью 15 тыс. эквивалентных вентилях. В качестве постоянного запоминающего устройства (ПЗУ) для хранения кодов соединений (прошивки) применяется микросхема XC17S15XLPD8C – последовательное ПЗУ, специально разработанное под этот кристалл. Оба используемых чипа работают при напряжении питания 2,5 В, что обеспечивает низкую потребляемую ими мощность. В качестве генератора синхросигналов с частотой $f_0 = 100$ МГц применяется микросхема HO-11C-100.000.

Стоимость комплектующих:

XC2S15-5VQ100C (микросхема FPGA) – 6,8 долл.,

XC17S15XLPD8C (ПЗУ) – 2,1 долл.,

HO-11C-100.000 (БИС генератора) – 2,5 долл.

Синаптические связи ИНС преобразователя в выбранной микросхеме ПЛИС реализованы при помощи двоичных умножителей частоты [1]. При применении более дорогих микросхем ПЛИС (с ценой от 12 долл. и выше) они могут быть реализованы на основе цифровых менеджеров частот (DCM).

На принципиальной схеме устройства (рис. 4) использованы следующие обозначения: f_x – сигнал с частотного датчика; Res[9:0] – выход результата y_n^* в виде 10-разрядного унитарного кода; STRB – строб выдачи y_n^* ; $f_0 = f_{x_{\max}}$ – опорная частота преобразования; OVF и SBZ – индикация значений переменной h биосигнала, например больше и меньше максимально допустимых.

После включения питания кристалл FPGA автоматически загружает в себя программу из ПЗУ и начинает функционировать в соответствии с работой электрической схемы ИНС-преобразователя, созданной (скомпилированной) при помощи специальной системы автоматизированного проектирования (САПР). При разработке схемы реализованы такие ее возможности, как построение иерархических структур,

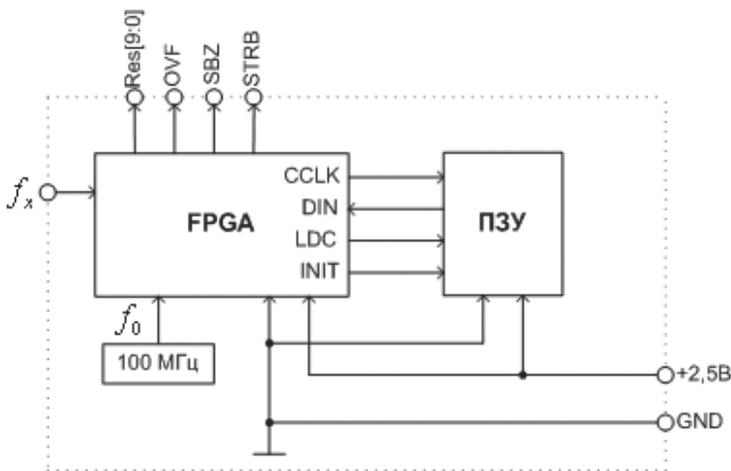


Рис. 4. Принципиальная схема ИНС-преобразователя сигналов на базе FPGA

генерация модулей по заданным параметрам, синтез схемы по ее описанию на языке описания аппаратуры высокого уровня VHDL [1].

Высокая степень интеграции современных ПЛИС, например Virtex-4 фирмы Xilinx, обеспечивает размещение в одном кристалле достаточно большого числа ПФИ — десятки, сотни и более. При этом настройка ИНС проводится в ПЛИС либо на основе вычислительных ресурсов этой же схемы, либо с помощью отдельной подсистемы обучения, подключенной к программируемой схеме через специальный интерфейс.

Выводы. 1. Результаты исследования показывают, что задача настройки нейронных сетей, осуществляющих преобразование формы представления информации, является актуальной, а ее эффективное решение позволяет существенно упростить аппаратную реализацию ИНС-преобразователей.

2. Процедуры коррекции значений весов синаптических связей и порогов нейронов для преобразователя частоты в код на основе двухслойного персептрона могут быть модифицированы и применены для коррекции параметров нейроузлов преобразователя, построенного на основе других видов ИНС и способов кодирования результата.

3. Процедуры коррекции параметров нейроэлементов ИНС также эффективны для программной реализации нейросетевых моделей обработки цифровых данных, так как обеспечивают повышение быстродействия обработки цифровых данных или снижение требований к производительности микропроцессорных средств, применяемых для программной реализации ИНС.

СПИСОК ЛИТЕРАТУРЫ

1. Локтюхин В. Н., Челебаев С. В. Нейросетевые преобразователи импульсно-аналоговой информации: организация, синтез, реализация / Под общ. ред. А.И.Галушкина. – М.: Горячая линия – Телеком, 2008. – 144 с.
2. David W. Tank, John J. Hopfield. Simple “neural” optimization networks: an A/D converter, signal decision circuit and a linear programming circuit // IEEE Circuit and Systems. – Vol. CAS-33, May 1986. – P. 533–541.
3. Bang W. Lee, Bing J. Shen. Design of a neural-based A/D converter using modified Hopfield Network // IEEE Solid-State Circuits. – Vol. SC-24, Aug. 1989. – P. 1120–1135.
4. Daronte P., Grimaldi D., Michaeli L. Gray code ADC based on an analog neural circuit // Radioengineering. – Vol. 4. No. 1. – P. 7–12. Apr. 1995.
5. Pham C-K., Tanaka M., Shomo K. A simple-based A/D converter employing CMOS inverters // in Proc. IEEE Int. Conf. on Neural Networks, Jul. 1994.
6. Martirelli G., Perfeuri R. Synthesis of feedforward neural analogue-digital converters // IEEE Proc. G. – Vol. 138. No. 5. – P. 567–574. Oct. 1991.
7. Локтюхин В. Н., Челебаев С. В. Принципы применения технологии искусственных нейронных сетей для проектирования преобразователей частотно-временных параметров сигналов в код // Датчики и системы. – 2006. – № 2. – С. 43–56.

8. Локтюхин В. Н., Челебаев С. В. Методика синтеза преобразователей импульсно-аналоговых сигналов с использованием операций нейросетевого базиса // Нейрокомпьютеры: разработка, применение. – 2006. – № 10. – С. 57–71.
9. Локтюхин В. Н., Челебаев С. В. Принципы построения нейросетевых преобразователей биоэлектрических сигналов в цифровую форму // Медицинская техника. – 2007. – № 6. – С. 15–19.
10. Локтюхин В. П., Челебаев С. В. Нейросетевые преобразователи частотно-временных параметров сигналов в код // Датчики и системы. – 2008. – № 2. – С. 17–22.
11. Уоссермен. Нейрокомпьютерная техника. – М.: Мир, 1992.

Статья поступила в редакцию 20.11.2008

Виктор Николаевич Локтюхин — д-р техн. наук, профессор кафедры “Биомедицинская и полупроводниковая электроника” (БМПЭ) Рязанского государственного радиотехнического университета (РГРТУ), окончил РГРТУ в 1970 г. Специалист в области применения аппарата искусственных нейронных сетей для синтеза интеллектуальных вычислительных систем.

V.N. Loktyukhin graduated from the Ryazan’ State Radio-Engineering University in 1970. D. Sc. (Eng.), professor of “Biological-Medical and Semiconductor Electronics” department of the Ryazan’ State Radio-Engineering University. Specializes in the field of application of apparatus artificial neuron nets for synthesis of intellectual computing systems.



Сергей Валерьевич Челебаев — канд. техн. наук, доцент кафедры БМПЭ РГРТУ, окончил РГРТУ в 2002 г. Специалист в области применения аппарата искусственных нейронных сетей для синтеза преобразователей формы представления информации.

S.V. Chelebaev graduated from the Ryazan’ State Radio-Engineering University in 2002. Ph. D. (Eng.), assoc. professor of “Biological-Medical and Semiconductor Electronics” department of the Ryazan’ State Radio-Engineering University. Specializes in the field of application of apparatus artificial neuron nets for synthesis of converters of data presentation form.



Андрей Васильевич Антоненко — аспирант кафедры БМПЭ РГРТУ, окончил РГРТУ в 2007 г. Специализируется в области обучения нейросетевых преобразователей формы представления информации.

A.V. Antonenko graduated from the Ryazan’ State Radio-Engineering University in 2007. Post-graduate of “Biological-Medical and Semiconductor Electronics” department of the Ryazan’ State Radio-Engineering University. Specializes in the field of training of neuron net converters of data presentation form.

