

## ОТКАЗОУСТОЙЧИВЫЕ КОМПЬЮТЕРНЫЕ СЕТИ, ПОСТРОЕННЫЕ НА ОСНОВЕ КОМБИНАТОРНЫХ БЛОК-ДИЗАЙНОВ

Г.П. Можаров

mojarov\_g@mail.ru

МГТУ им. Н.Э. Баумана, Москва, Российская Федерация

---

### Аннотация

Приведен новый класс компьютерных систем и сетей, состоящих из однородных процессоров с локальной памятью и быстродействующей коммуникационной сетью, построенный на основе комбинаторных объектов со специальными свойствами. Анализ и синтез топологии представленного класса сетей, проведен на основе использования уравновешенных неполных блок-дизайнов (блок-схем). Достаточно подробно описан класс компьютерных систем и коммуникационных сетей, которые являются особенно подходящими для практического использования — так называемые тройки Штейнера. Такие компьютерные системы и сети, реализация которых основана на использовании блок-дизайнов, хорошо структурированы, имеют высокую отказоустойчивость, обладают малой средней длиной пути, минимальной стоимостью связи и постепенной деградацией топологии при воздействии на сеть потока отказов. Кроме того, сети имеют свободный параметр, который позволяет согласовать их производительность и стоимость. Топология подобных компьютерных сетей является оптимальной среди циклических систем с точки зрения среднего диаметра, производительности, отказоустойчивости и стоимости. Предложен достаточно простой алгоритм маршрутизации, обеспечивающий отказоустойчивую работу компьютерной коммуникационной сети с циклической топологией

### Ключевые слова

*Компьютерная система, коммуникационная сеть, комбинаторные блок-дизайны, отказоустойчивость, постепенная деградация, пропускная способность сети, алгоритм маршрутизации*

Поступила в редакцию 06.04.2016  
© МГТУ им. Н.Э. Баумана, 2016

---

**Введение.** Постоянно растущие требования к производительности, отказоустойчивости и надежности компьютерных систем и сетей (КСС), накопление новых и переосмысление имеющихся идей и методов в комбинаторной математике приводят к значительным изменениям в теории и практике проектирования КСС. Эти изменения обусловили необходимость продолжения математических исследований в каждом из многочисленных направлений теории КСС и стимулировали исследователей к поиску новых экстремальных топологий КСС.

В последнее время существенно возрос поток публикаций по решению широкого спектра алгебраических, комбинаторных и графо-спектральных задач, возникающих при моделировании, разработке и реализации КСС [1–7]. Интенсивно разрабатывались математические модели высокопроизводительных, от-

казоустойчивых и надежных КСС [3, 5–8]. Наиболее значимые исследования посвящены анализу и реализации комбинаторных дискретных структур (включая КСС), имеющих специфические свойства: высокие отказоустойчивость и производительность.

Разработка топологий КСС, оптимальных с точки зрения их связности, структурной надежности и отказоустойчивости, является важной и актуальной задачей [2, 3, 7, 9]. Изучение влияния топологии на процессы, протекающие в КСС, позволяет на самых ранних этапах проектирования получать информацию, имеющую принципиальное значение для дальнейших этапов проектирования.

Однако до настоящего времени не существует единой научной методологии по синтезу отказоустойчивых (имеющих способность к постепенной деградации структуры) КСС, топология которых может быть представлена циклическим графом [3, 5, 9]. Практическое использование существующих алгоритмов и моделей отказоустойчивых КСС обычно приводит к «переупрочненным» вариантам построения циклических КСС и сетей с произвольной структурой [5, 9, 10–13].

В настоящей работе рассмотрен новый класс КСС, использующий для своего построения комбинаторные уравновешенные неполные блок-дизайны (блок-дизайн традиционно назывался блок-схемой, однако в настоящее время в связи с появлением в активном лексиконе русского языка слова «дизайн» представляется более правильным приводить дословный перевод этого термина: «блок-дизайн» (*block design*) [1]). Подобные сети хорошо структурированы, имеют высокие отказоустойчивые свойства и свободный параметр, позволяющий согласовывать производительность и стоимость сети при ограничениях на затраты.

При малом числе узлов (процессоров) и ребер (линий связи) проблема выбора оптимальной топологии КСС решается различными эвристическими методами локальной оптимизации. Однако тенденция развития КСС ведет к формированию топологий, включающих в себя многочисленные узлы и линии связи. Оптимизация таких топологий с помощью только эвристических методов может встретиться со значительными вычислительными трудностями [2–6]. В этой связи представляют интерес развитие и использование регулярных методов анализа и синтеза топологий КСС, основанных на свойствах дискретных структур и взаимосвязей между комбинаторными объектами различных типов: матрицами со специальными свойствами, частично упорядоченные множества, комбинаторные блок-дизайны, ортогональные массивы и трансверсальные дизайны, конечные геометрии и др.

Коммуникационная компьютерная сеть должна соединять (при ограниченном количестве вычислительных ресурсов) большое число процессоров и удовлетворять следующему перечню основных требований: иметь малую валентность (небольшое число портов в процессоре); обеспечить простоту, малые затраты времени и памяти алгоритма маршрутизации в сети; иметь малую среднюю длину пути; низкую стоимость связи; высокую отказоустойчивость; иметь возможность постепенной деградации.

Последнее требование особенно важно, потому что большое число процессоров вызывает значительный поток отказов в КСС, которые необходимо парировать (хотя бы частично), чтобы значительно не ухудшить работу КСС [10, 11].

В некоторых известных топологиях КСС (кольца, деревья, связанные кольца, кубически связанные циклы, гиперкубы, обобщенные гиперкубы и др. [2–6]) линии связи (ребра) могли быть инцидентны не более чем двум узлам (процессорам), в то время как узел мог быть инцидентен любому числу ребер. В сетях с магистральными связями любой узел (магистраль или шина) может быть инцидентен любому числу магистралей (узлов). Магистральная сеть, состоящая из  $n$  узлов и  $m$  магистралей, может быть описана матрицей инциденций  $A$  размера  $n \times m$ . Элемент этой матрицы  $a_{ij} = 1$ , если узлу с номером  $i = \overline{1, n}$  инцидентна магистраль с номером  $j = \overline{1, m}$ , иначе  $a_{ij} = 0$ . Из определения матрицы инциденций следует, что магистральные сети не допускают кратных инциденций (петель) ни по магистралям, ни по узлам.

Предлагаемые в работе коммуникационные компьютерные сети строятся на основе блок-дизайнов (этот класс КСС не описан в научных публикациях). И хотя эти сети более дорогие, чем многие из перечисленных ранее, они имеют лучшую отказоустойчивость и возможности постепенной деградации топологии. Эти сети можно реализовать, используя как двухточечную, так и шинную (магистральную) связи.

Далее будут предложены и исследованы аналитические методы решения сложной научно-технической оптимизационной задачи по определению минимального количества линий связи среди всех циклических ВС и приведены примеры синтеза отказоустойчивой циркулянтной сети.

**Математическое определение сети на основе блок-дизайнов (*balanced incomplete block design* (BIBD)).** Уравновешенным неполным блок-дизайном (также употребляется сокращение BIB-дизайн) называется инцидентная система из  $n$  элементов и  $b$  подмножеств этих элементов, называемых блоками, такими, что: (i) каждый элемент содержится в  $r$  блоках, (ii) каждый блок содержит  $k$  элементов и (iii) каждая пара элементов одновременно содержится в  $\lambda$  блоках. Целые числа  $(n, b, r, k, \lambda)$  называются параметрами дизайна [2].

Определенный ранее блок-дизайн с параметрами  $(n, b, r, k, \lambda)$  является частным случаем системы инцидентности, называемой  $t$ -дизайном. Под  $t$ -дизайном с параметрами  $(n, k, \lambda)$  (или  $(t-(n, k, \lambda)$ -дизайном) понимается совокупность  $D$  подмножеств (называемых блоками) множества  $S$ , состоящего из  $n$  элементов, такая, что каждое подмножество из  $D$  содержит  $k$  элементов, а всякое множество из  $t$  элементов содержится ровно в  $\lambda$  подмножествах из  $D$ . Это определение для исключения вырожденных случаев обычно дополняется различными условиями:  $S$  и  $D$  не пусты;  $n \geq k \geq t$  ( $\lambda > 0$ ) [1–3, 5].

Любой блок-дизайн можно задать с помощью матрицы инцидентий. Если  $a_1, \dots, a_n$  — элементы и  $B_1, \dots, B_b$  — блоки ВІВ-дизайна, то матрица инцидентий  $\mathbf{A} = (a_{ij})$ , где  $i = \overline{1, n}$  и  $j = \overline{1, b}$ , определяется соотношением

$$a_{ij} = \begin{cases} 1, & \text{если } a_i \in B_j, \\ 0, & \text{если } a_i \notin B_j. \end{cases}$$

Между параметрами  $n$ ,  $b$ ,  $r$ ,  $k$ ,  $\lambda$  блок-дизайна легко установить следующие два соотношения:

$$bk = nr, \quad r(k-1) = \lambda(n-1). \quad (1)$$

Может случиться, что  $b = n$ , и, следовательно,  $r = k$  (такой блок-дизайн называется симметричным). Тогда первое из соотношений (1) обращается в тождество, а второе сводится к выражению

$$k(k-1) = \lambda(n-1). \quad (2)$$

Исключим из рассмотрения тривиальный случай, когда  $k = n$ , т. е. случай, когда каждый блок содержит все элементы.

Основными соотношениями для ВІВ-дизайна являются матричные уравнения

$$\mathbf{A}\mathbf{A}^T = (r-1)\mathbf{I}_{n \times n} + \mathbf{J}_{b \times b}, \quad \mathbf{J}_n \mathbf{A} = k\mathbf{J}_b, \quad (3)$$

где  $\mathbf{A}^T$  — транспонированная матрица  $\mathbf{A}$ ;  $\mathbf{I}$  — единичная  $(n \times n)$ -матрица;  $\mathbf{J}$  —  $(n \times n)$ -матрица, все элементы которой равны единице;  $\mathbf{J}_n$  и  $\mathbf{J}_b$  — векторы из  $n$  и  $b$  единиц. Каждая строка матрицы  $\mathbf{A}$  содержит единицы ровно в  $r$  столбцах. Каждый столбец матрицы  $\mathbf{A}$  содержит единицы ровно в  $k$  строках, поскольку столбец указывает элементы, содержащиеся в отдельном блоке. Все это можно выразить в терминах матриц.

Матрица инцидентий, соответствующая блок-дизайну из семи элементов  $a_1, \dots, a_7$  и семи блоков  $b_1, \dots, b_7$ , имеет вид

$$\mathbf{A} = \begin{matrix} & b_1 & b_2 & b_3 & b_4 & b_5 & b_6 & b_7 \\ \begin{matrix} a_1 \\ a_2 \\ a_3 \\ a_4 \\ a_5 \\ a_6 \\ a_7 \end{matrix} & \begin{pmatrix} 1 & 0 & 0 & 0 & 1 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 1 & 1 & 0 & 0 & 0 & 1 \\ 1 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 & 1 & 1 \end{pmatrix} \end{matrix}.$$

Здесь, например, третья строка показывает, что элемент  $a_3$  появляется в блоках  $b_2$ ,  $b_3$ ,  $b_7$ , а пятый столбец — что блок  $b_5$  содержит элементы  $a_1$ ,  $a_5$  и  $a_6$ .

Для этой матрицы можем проверить непосредственно, что

$$\mathbf{AA}^T = 2\mathbf{I} + \mathbf{J}, \quad \mathbf{AJ} = 3\mathbf{J}, \quad \mathbf{JA} = 3\mathbf{J},$$

где во всех равенствах  $\mathbf{J}$  есть матрица размера  $7 \times 7$ .

Наиболее важное утверждение существования (при заданных параметрах ВВВ-дизайна) для симметричных блок-дизайнов принадлежит Бруку, Райзеру и Човла [1, 5, 6, 9].

**Утверждение 1.** Если существует симметричный блок-дизайн  $D$  с параметрами  $n, k, \lambda$ , то необходимо, чтобы

а) для четного  $n$  —  $(k - \lambda)$  было квадратом;

б) для нечетного  $n$  — уравнение

$$z^2 = (k - \lambda)x^2 + (-1)^{n-1/2} \lambda y^2$$

имело решение в целых числах  $x, y, z$ , не равных одновременно нулю.

Из утверждения 1 следует [1, 4], что некоторые из свойств симметричных блок-дизайнов являются чисто матричными свойствами. Тогда утверждение 1 можно сформулировать следующим образом. Пусть  $\mathbf{A}$  — невырожденная вещественная  $(n \times n)$ -матрица, удовлетворяющая либо равенству

$$\mathbf{AA}^T = (r - \lambda)\mathbf{I} + \lambda\mathbf{J}, \quad (4)$$

либо равенству

$$\mathbf{A}^T \mathbf{A} = (r - \lambda)\mathbf{I} + \lambda\mathbf{J} \quad (5)$$

и, кроме того, — одному из равенств

$$\mathbf{AJ} = k\mathbf{J}, \quad (6)$$

$$\mathbf{JA} = k\mathbf{J}. \quad (7)$$

Тогда  $\mathbf{A}$  удовлетворяет всем четырем соотношениям (4)–(7), а  $n, k, \lambda$  удовлетворяют уравнению

$$k^2 - k = \lambda(n - 1).$$

Существует несколько методов построения блок-дизайнов, которые можно назвать рекурсивными методами. Во-первых, это метод композиции, при котором некоторая комбинация двух дизайнов  $D_1$  и  $D_2$  дает третий дизайн  $D_3$ .

Блок-дизайн с  $k=3, \lambda=1$  называется системой троек Штейнера [1, 3, 6–8]. Из основных соотношений (1) находим

$$b = nr, \quad 2r = n - 1,$$

и, следовательно,  $n = 2r + 1, b = r(2r + 1)$ .

Таким образом, в случае системы троек Штейнера  $n$  нечетно и либо  $r$ , либо  $2r + 1$  кратны 3. Комбинируя эти условия, имеем, что либо  $n = 6t + 1$  (если  $r = 3t$ ),

либо  $n = 6t + 3$  (если  $2r + 1 = 3(2t + 1)$ ). Следовательно, для троек Штейнера имеем [1]

$$b = 6t^2 + t, \quad n = 6t + 1, \quad r = 3t, \quad k = 3, \quad \lambda = 1, \quad (8)$$

либо

$$b = 6t^2 + 5t + 1, \quad n = 6t + 3, \quad r = 3t + 1, \quad k = 3, \quad \lambda = 1. \quad (9)$$

Верно и обратное: для любого числа  $n$  вида  $6t + 1$  или  $6t + 3$  существует система троек Штейнера с  $n$  элементами и параметрами (8) или (9). Из системы троек Штейнера  $S$  с  $n$  элементами можно построить мультипликативную систему  $M$  для  $n$  элементов системы  $S$ , полагая  $x^2 = x$  для каждого  $x$  и  $xy = z$  (при условиях, что  $x \neq y$  и  $x, y, z$  — единственная тройка из  $S$ , содержащая пару  $x, y$ ). Эта система может быть описана следующим образом:

а)  $x^2 = x$  — для каждого  $x \in M$ ;

б) если  $x \neq y$ , то  $xy = z$  — единственный элемент в  $M$  и  $z \neq x$ ,  $z \neq y$ , а также  $yx = z$ ,  $xz = zx = y$ ,  $yz = zy = x$ .

Можно проверить, что если дана система  $M$  с умножением, удовлетворяющим (1) и (2), то тройки  $x, y, z$ , определенные соотношениями  $x \neq y$ ,  $xy = z$ , образуют систему троек Штейнера с числом элементов, равным числу элементов в  $M$ .

Если  $M_1$  — мультипликативная система для системы троек Штейнера  $S_1$  с  $n_1$  элементами, а  $M_2$  — мультипликативная система для  $S_2$  с  $n_2$  элементами, то можно построить систему  $M = M_1 \times M_2$ , в которой элементами являются  $n_1 n_2$  упорядоченных пар  $(x_1, x_2)$ ,  $x_1 \in M_1$ ,  $x_2 \in M_2$ . Если определить операцию умножения в  $M$  по правилу

$$(x_1, x_2)(y_1, y_2) = (x_1 y_1, x_2 y_2),$$

то отсюда немедленно следует, что умножение в  $M = M_1 \times M_2$  имеет свойства (1) и (2), и, следовательно, из  $M$  можно образовать систему троек Штейнера с  $n = n_1 n_2$  элементами. Таким образом, если существует система троек Штейнера  $S_2$  с  $n_2$  элементами и другая система троек Штейнера  $S_1$  с  $n_1$  элементами, то существует система троек Штейнера  $S = S_1 \times S_2$  с  $n_1 n_2$  элементами. Отметим, что в системах (8), (9) подсистемы с фиксированным  $x_1$  или  $x_2$  соответствуют подсистемам системы  $S$ , изоморфным  $S_2$  и  $S_1$  соответственно.

**Топология сети блок-дизайнов.** 1. Если задан ВВВ-дизайн, то его граф строится следующим образом:  $n + b$  вершин графа соответствуют элементам и блокам ВВВ-дизайна, при этом две вершины смежные тогда и только тогда, когда одна из них соответствует блоку, а другая — элементу, содержащемуся в этом блоке [1, 2, 11]. Ясно, что граф является двудольным, причем каждая его вершина имеет степень  $r$  или  $k$  в зависимости от того, соответствует ли она элементу или блоку.

Однако этот способ построения графа ВІВ-дизайна не приводит к оптимальной топологии КСС, удовлетворяющей жестким требованиям по используемым вычислительным ресурсам, малому числу портов процессора, стоимости связи и др.

2. Рассмотрим новый способ реализации топологии ВІВ-дизайна. Применим систему троек Штейнера как наиболее наглядную демонстрацию топологических свойств и характеристик КСС, использующих при реализации топологии блок-дизайны.

Для построения  $n$ -узловой сети необходимо взять  $n$ -точечный блок-дизайн, выбрать подходящее значение для параметра  $k$  и найти соответствующий ВІВД с этим значением.

Процессоры, помеченные  $a, b, c, d$ , соединяются в графе ВІВ-дизайна, всякий раз, когда блок вида  $(abcd)$  существует в блок-дизайне. Подобным образом можно осуществить соединение процессоров по схеме с общей шиной. Логически, эти два способа эквивалентны, но их характеристики различны из-за исполнения КСС.

Маршрутизация в блоках осуществляется следующим способом. Маршрут прохождения сообщений от процессора  $a$  к процессору  $b$  является единственным путем, определяемым блоком, в котором оба эти процессора появляются, т. е. блок-дизайн гарантирует, что этот маршрут хорошо определен и уникален.

Каждый процессор должен хранить в памяти таблицу  $r$  путей к процессорам, с которыми он связан. Поскольку сообщение может быть адресовано любому процессору, таблица маршрутизации должна иметь размер  $n-1$  для  $n$ -процессорной сети.

На рис. 1 показана топология коммуникационной сети, которая реализует ВІВ-дизайн с параметрами  $(7, 7, 3, 3, 1)$  (полужирными линиями показано построение блока  $b_3$ ). Топология представляет собой хордовое кольцо с валентностью вершин, равной четырем  $[1, 2, 5, 6]$ .

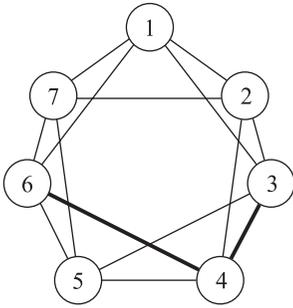
На рис. 2 показана топология, реализующая ВІВ-дизайн с параметрами  $(9, 12, 4, 3, 1)$  (полужирными линиями показано построение блока  $b_{11}$ ).

**Отказоустойчивые свойства ВІВ-дизайна.** Топологические свойства ВІВ-дизайна могут быть использованы для обеспечения отказоустойчивости КСС [1, 2]. Рассмотрим только двухточечное исполнение, хотя описанные методы применимы и к шинному (магистральному) исполнению сети.

Будем считать, что граф алгоритма  $A$  выполним в топологическом графе КСС, если  $A$  изоморфен некоторому подграфу топологического графа КСС, т. е. существует однозначное сохраняющее метки и отношения смежности вершин отображение графа алгоритма  $A$  в подграф графа КСС.

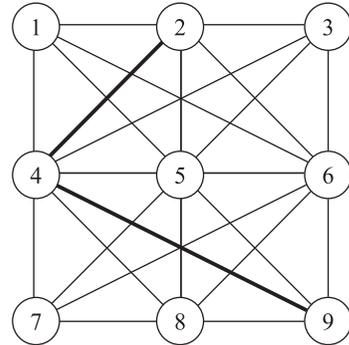
Удаление из графа КСС любых  $s$  вершин  $\{x_1, x_2, \dots, x_s\}$  и всех связанных с ними ребер считается  $s$ -кратной неисправностью  $F$  в КСС. Неисправности  $F$  соответствуют графу  $(KCC)^F$ ; КСС является толерантной относительно алгоритма  $A$  и

неисправности  $F$ , если алгоритм  $A$  выполним  $(KCC)^F$ . Компьютерная система является толерантной относительно множества алгоритмов  $\{A_1, A_2, \dots, A_p\}$  и множества неисправностей  $\{F_1, F_2, \dots, F_q\}$ , если алгоритм  $A_i$  выполним  $(KCC)^{F_j}$  при всех  $i$  и  $j$ ,  $1 \leq i \leq p$ ,  $1 \leq j \leq q$ ; КСС является  $s$ -толерантной относительно алгоритмов  $\{A_1, A_2, \dots, A_p\}$ , если при любой  $s$ -кратной неисправности  $F$  в КСС, алгоритмы  $A_i$  выполнимы  $(KCC)^F$ ,  $1 \leq i \leq p$  [2, 6, 12].



**Рис. 1.** Сеть, основанная на ВИБ-дизайне, с параметрами ( $n = 7, b = 7, r = k = 3, \lambda = 1$ ):

$$b_1 = \{1, 2, 4\}, b_2 = \{2, 3, 5\}, b_3 = \{3, 4, 6\}, b_4 = \{4, 5, 7\}, b_5 = \{5, 6, 1\}, b_6 = \{6, 7, 2\}, b_7 = \{7, 1, 3\}$$



**Рис. 2.** Сеть, основанная на блок-дизайне, с параметрами ( $n = 9, b = 12, r = k = 3, \lambda = 1$ ):

$$b_1 = \{1, 2, 3\}, b_2 = \{4, 5, 6\}, b_3 = \{7, 8, 9\}, b_4 = \{1, 4, 7\}, b_5 = \{2, 5, 8\}, b_6 = \{3, 6, 9\}, b_7 = \{1, 5, 9\}, b_8 = \{2, 6, 7\}, b_9 = \{3, 4, 8\}, b_{10} = \{1, 6, 8\}, b_{11} = \{2, 4, 9\}, b_{12} = \{3, 5, 7\}$$

В данной модели исследования отказоустойчивости неявно предполагается, что в КСС имеется некоторое заведомо исправное ядро, которое выполняет функции обнаружения и локализации неисправностей, реконфигурации и восстановления информации. Поэтому при оценке толерантности КСС относительно целевого алгоритма  $A$  учитываются только следующие два момента: содержит ли  $(KCC)^F$  все необходимые ресурсы, необходимые для выполнения алгоритма  $A$  и достаточны ли связи между ресурсами в  $(KCC)^F$  для его исполнения.

Сначала рассмотрим отказ линии связи между любыми двумя процессорами в КСС (см. рис. 1, 2). Прежде всего, число процессоров, которым необходимо сообщить об отказе линии связи и изменении маршрута передачи сообщения, ограничено лишь теми  $k$  ( $k = 3$ ) процессорами, на маршруте которых находится отказавшая связь. Когда процессор получает сообщение о том, что линия связи отказала, он передает его по произвольно выбранной исправной линии связи одному из соседних процессоров.

Использование подобного алгоритма маршрутизации ограничивает сбои, которые могут происходить в сетях при переключении некоторых процессоров на новый алгоритм маршрутизации, в то время как оставшиеся процессоры все еще используют старый алгоритм.

При многократных отказах линий связи этот алгоритм маршрутизации продолжает обеспечивать постепенную деградацию КСС. Так, например, при многократных отказах в линиях связи, если процессор–получатель сообщения также содержит отказавшую линию связи, процессор–отправитель передает сообщение в произвольно выбранном порядке одному из соседних исправных процессоров. По мере накопления числа отказов этот алгоритм маршрутизации будет использовать лишь работоспособную связную часть топологии КСС.

Отказы процессора можно классифицировать следующим образом.

Если отказ происходит непосредственно в процессоре и выполнение команд разделено на вычислительную и коммуникационную части, то КСС может продолжать функционировать. Подобный режим работы возможен для шинного (магистрального) исполнения, когда потеря процессора ни в коем случае не влияет на возможность шины продолжить передавать сообщения для других процессоров, связанных с отказавшим.

Другой тип отказа, при котором невозможна любая передача сообщения посредством коммуникационной сети через отказавший процессор, может быть рассмотрен как отказ в каждом из  $r$  путей, проходящих через отказавший процессор, и в этом случае необходимо руководствоваться алгоритмом маршрутизации, описанным в пункте 1.

Таким образом, топология КСС, реализованная на базе ВІВD, имеет свойства высокой отказоустойчивости и постепенной деградации, поскольку она может оставаться работоспособной при условии, что рабочая часть сети связана. Эта топология адаптируется к новой ситуации и противостоит отказам, выполняя при этом свою целевую функцию за счет соответствующего изменения структуры и поведения КСС даже при повреждениях ее частей. Топологию ВІВD желательно применять в ситуациях, когда поток отказов редкий, но регулярный (например, в больших мультипроцессорных системах — отказы являются равномерно распределенными [2, 10, 11, 14]). Кроме того, эта топология может применяться в ситуациях, когда ожидается значительная интенсивность потока отказов, но при этом важным является, чтобы КСС использовала все возможности топологии по связности, независимо от того, какая рабочая часть сети остается исправной.

**Дополнительные свойства ВІВ-дизайна.** При проектировании КСС использование топологии на основе блок-дизайна позволяет получить бóльшую гибкость для заданного числа процессоров  $n$  за счет выбора параметра  $k$ . Это обеспечивает достижение оптимального соотношения между стоимостью и производительностью.

Отметим, что число связей, требуемых для каждого процессора, не может превысить  $2r$ , так как каждый элемент, появляющийся в блоках  $r$ , может быть смежным одному или двум процессорам в каждом блоке. Из уравнений (1) могут быть выражены параметры  $r$  и  $b$  как функции параметров  $n$  и  $k$ :

$$r = \frac{n-1}{k-1},$$

$$b = \frac{rn}{k} = \frac{n(n-1)}{k(k-1)}. \quad (10)$$

Число связей  $m$  во всей сети равно  $m = b(k-1)$ . Тогда, используя уравнение (10), получаем число связей  $m$ , выраженное через параметры  $n$  и  $k$ :

$$m = \frac{n(n-1)}{k}.$$

Следовательно, если  $k$  — фиксированная часть элементов  $n$ , то число связей увеличивается линейно с увеличением числа элементов  $n$  и путей в топологии КСС, а следовательно, и стоимость связей.

Максимальная длина пути равна  $k-1$  и, следовательно, возрастает линейно (при условии, что параметр  $k$  составляет фиксированную часть от числа элементов  $n$ ). Таким образом, параметр  $k$  может использоваться, чтобы уравновесить максимальную задержку сообщения (с точки зрения транзитных участков) и стоимость связи. Относительно дорогая (изменяющаяся по линейному закону) стоимость связи — цена, которая будет уплачена за исключительные отказоустойчивые свойства этой топологии.

В шинном (магистральном) исполнении параметр  $k$  означает число процессоров, связанных с каждой шиной. Число шин, с которыми связан процессор, равно параметру  $r$ , и поэтому  $r$  портов требуются для каждого процессора. Число шин в КСС равно параметру  $b$ . Таким образом, в шинном исполнении, параметр  $k$  может использоваться для нахождения баланса между увеличением числа шин (большой параметр  $k$ ) и увеличением числа портов в процессоре и общего числа шин (магистралей).

**Заключение.** Представлено оригинальное семейство топологий компьютерных систем и коммуникационных сетей (в том числе и для систем реального времени), реализующих отказоустойчивые распределенные КСС, на основе использования комбинаторных уравновешенных неполных блок-дизайнов.

Предложен способ построения топологии  $n$ -процессорной КСС, заключающийся в том, что соединяются последовательно процессоры, номера которых содержатся в блоках ВВ-дизайна (предварительно выбрав подходящую величину для параметра  $k$ ).

Предложен алгоритм маршрутизации прохождения сообщений в КСС, гарантирующий уникальность прохождения каждого маршрута.

Новый класс топологий КСС, реализованных на основе ВВ-дизайна, имеет большую гибкость благодаря значению параметра  $k$ , настройка которого может использоваться для достижения оптимального соотношения между стоимостью и производительностью КСС.

Закономерности расположения вершин (процессоров) и ребер (каналов связи) для различных семейств графов позволяют синтезировать большое число серий графов, представляющих различные структуры КСС с заданными характеристиками связности и отказоустойчивости.

Класс КСС, реализованный на основе ВВ-дизайна, имеет высокую отказоустойчивость за счет постепенной (по мере накопления отказов) деградации от начальной топологии (полностью работоспособной) до минимально допустимой связной топологии.

Изложенные в статье данные по использованию отказоустойчивых компьютерных систем и сетей на основе ВВ-дизайнов являются дополнением к обширному списку свойств графов и их графо-групповых характеристик [4, 5, 8, 9, 14].

## ЛИТЕРАТУРА

1. Таранников Ю.В. Комбинаторные свойства дискретных структур и приложения к криптологии. М.: МЦНМО, 2011. 152 с.
2. Андреев А.М., Можаров Г.П., Сюев В.В. Многопроцессорные вычислительные системы: теоретический анализ, математические модели и применение. М.: Изд-во МГТУ им. Н.Э. Баумана, 2011. 334 с.
3. Деза М.М., Лоран М. Геометрия разрезов и метрик / пер. с англ. Е. Пантелеевой и П. Сергеева; под ред. В. Гришухина. М.: МЦНМО, 2001. 736 с.
4. Стенли Р. Перечислительная комбинаторика. Т. 2 / пер. с англ. М.: Мир., 2009. 767 с.
5. Асанов М.О., Баранский В.А., Расин В.В. Дискретная математика: графы, матроиды, алгоритмы. СПб.: Лань, 2010. 368 с.
6. Райгородский А.М. Экстремальные задачи теории графов и анализ данных. М.: РХД, 2009. 64 с.
7. Звонкин А.К., Ландо С.К. Графы на поверхностях и их приложения. М.: МЦНМО, 2010. 480 с.
8. Деза М., Гришухин В.П., Штогрин М.И. Изометрические полиэдральные подграфы в гиперкубах и кубических решетках / пер. с англ. Н.А. Шиховой. М.: МЦНМО, 2008. 192 с.
9. Ландо С.К. Введение в дискретную математику. М.: МЦНМО, 2012. 265 с.
10. Андреев А.М., Березкин Д.В., Можаров Г.П., Свиринов И.С. Математическое моделирование надежности компьютерных систем и сетей // Вестник МГТУ им. Н.Э. Баумана. Сер. Приборостроение. 2012. Спец. вып. «Моделирование и идентификация компьютерных систем и сетей». С. 3–46.
11. Foss S., Shneer S., Turlikov A. Stability of a Markov-modulated Markov chain, with application to a wireless network governed by two protocols // Stochastic Systems. 2012. Vol. 2. No. 1. P. 208–231. DOI: 10.1214/11-SSY030
12. Ziegler Gunter M. Projected products of polygons. Electronic Research Announcements. AMS. 2004. Vol. 10. P. 122–134. DOI: 10.1090/S1079-6762-04-00137-4
13. Циглер Г.М. Теория многогранников / пер. с англ. под ред. Н.П. Долбилина. М.: МЦНМО, 2014. 568 с.
14. Алон Н., Спенсер Дж. Вероятностный метод / пер. с англ. М.: БИНОМ, 2007. 320 с.

**Можаров Геннадий Петрович** — канд. техн. наук, доцент кафедры «Компьютерные системы и сети» МГТУ им. Н.Э. Баумана (Российская Федерация, 105005, Москва, 2-я Бауманская ул., д. 5).

**Пробьба ссылаться на эту статью следующим образом:**

Можаров Г.П. Отказоустойчивые компьютерные сети, построенные на основе комбинаторных блок-дизайнов // Вестник МГТУ им. Н.Э. Баумана. Сер. Приборостроение. 2016. № 6. С. 41–53. DOI: 10.18698/0236-3933-2016-6-41-53

**FAULT-TOLERANT COMPUTER NETWORKS CONSTRUCTED  
ON THE BASIS OF COMBINATORY BLOCK DESIGNS**

**G.P. Mozharov**

mojarov\_g@mail.ru

**Bauman Moscow State Technical University, Moscow, Russian Federation**

**Abstract**

The paper presents a new class of computer systems and networks consisting of homogeneous processors with local memory and a high-speed communication network. We carried out the topology analysis and synthesis of the given class of computer and communication networks, using combinatory objects with special properties: counterbalanced incomplete block designs (block-schemes). We give a detailed description of a class of computer communication networks which are especially appropriate for practical use — so-called Steiner triple system. These computer systems and the networks are well-structured, have a high fault tolerance, have a small average length of the way, the minimum cost of communication and gradual degradation of topology with the influence on the failure flow network. Besides, they have a free parameter which makes it possible to co-ordinate productivity and network cost. The topology of such computer networks is optimum among cyclic systems, with regard to the average diameter, productivity, fault tolerance and cost. Finally, we suggest a sufficiently simple algorithm of routing providing the fault tolerance work of a computer communication network with cyclic topology

**Keywords**

*Computer system, communication network, combinatory block designs, fault tolerance, gradual degradation, network bandwidth, routing algorithm*

**REFERENCES**

- [1] Tarannikov Yu.V. Kombinatornye svoystva diskretnykh struktur i prilozheniya k kriptologii [Combinatorial properties of discrete structures and application to cryptology problems]. Moscow, MTsNMO Publ., 2011. 152 p. (in Russ.).
- [2] Andreev A.M., Mozharov G.P., Syuzev V.V. Mnogoprotsessornye vychislitel'nye sistemy: teoreticheskiy analiz, matematicheskie modeli i primeneniye [Multiprocessing computing systems: theoretical analysis, mathematical models and application]. Moscow, Bauman MSTU Publ., 2011. 334 p.

- [3] Deza M.M., Loran M. Geometry of cuts and metrics. 1997, Springer-Verlag, Berlin, Heidelberg. 588 p. (Russ. ed.: Geometriya razrezov i metric. Moscow, MTsNMO Publ., 2001. 736 p.).
- [4] Stanley R.P. Enumerative combinatorics. Vol. 2. Cambridge University Press, 1999. 595 p. (Russ. ed.: Perechislitel'naya kombinatorika. T. 2. Moscow, Mir Publ., 2009. 767 p.).
- [5] Asanov M.O., Baranskiy V.A., Rasin V.V. Diskretnaya matematika: grafy, matroidy, algoritmy [The discrete mathematics: graphs, matroids, algorithms]. Sankt-Petersburg, Lan' Publ., 2010. 368 p. (in Russ.).
- [6] Raygorodskiy A.M. Ekstremal'nye zadachi teorii grafov i analiz dannykh [Extremum problems of graphs theory and data analysis]. Moscow, RKhD Publ., 2009. 64 p. (in Russ.).
- [7] Zvonkin A.K., Lando S.K. Grafy na poverkhnostyakh i ikh prilozheniya [Graphs on surfaces and their appendices]. Moscow, MTsNMO Publ., 2010. 480 p. (in Russ.).
- [8] Deza M., Grishukhin V., Shtogrin M. Scale-isometric polytopal graphs in hypercubes and cubic lattices. Gardners Books, 2004. 188 p. (Russ. ed.: Izometricheskie poliedral'nye podgrafy v giperkubakh i kubicheskikh reshetkakh. Moscow, MTsNMO Publ., 2008. 192 p.)
- [9] Lando S.K. Vvedenie v diskretnuyu matematiku [Introduction in discrete mathematics]. Moscow, MTsNMO Publ., 2012. 265 p. (in Russ.).
- [10] Andreev A.M., Berezkin D.V., Mozharov G.P., Svirin I.S. Mathematical simulation of reliability of computer systems and networks. *Vestnik MGTU im. N.E. Baumana. Ser. Priborostroenie. Spets. vyp. "Modelirovanie i identifikatsiya komp'yuternykh sistem i setey"* [Herald of the Bauman Moscow State Technical University. Ser. Instrument Engineering. Spec. iss. "Modeling and identification of computer system and links"], 2012, pp. 3–46 (in Russ.).
- [11] Foss S., Shneer S., Turlikov A. Stability of a Markov-modulated Markov chain, with application to a wireless network governed by two protocols. *Stochastic Systems*, 2012, vol. 2, no. 1, pp. 208–231. DOI: 10.1214/11-SSY030
- [12] Ziegler Gunter M. Projected Products of Polygons. *Electronic Research Announcements. AMS*, 2004, vol. 10, pp. 122–134. DOI: 10.1090/S1079-6762-04-00137-4
- [13] Tsigler G.M. Teoriya mnogogrannikov [Polytopes theory]. Moscow, MTsNMO Publ., 2014. 568 p. (in Russ.).
- [14] Alon N., Spencer J.H. The probabilistic method. New York, A Wiley Interscience Publication, 2004. 328 p. (Russ. ed.: Veroyatnostnyy metod. Moscow, BINOM Publ., 2007. 320 p.).

**Mozharov G.P.** — Cand. Sci. (Eng.), Assoc. Professor of Computer Systems and Networks Department, Bauman Moscow State Technical University (2-ya Baumanskaya ul. 5, Moscow, 105005 Russian Federation).

**Please cite this article in English as:**

Mozharov G.P. Fault-Tolerant Computer Networks Constructed on the Basis of Combinatory Block Designs. *Vestn. Mosk. Gos. Tekh. Univ. im. N.E. Baumana, Priborostr.* [Herald of the Bauman Moscow State Tech. Univ., Instrum. Eng.], 2016, no. 6, pp. 41–53. DOI: 10.18698/0236-3933-2016-6-41-53