

РЕАЛИЗАЦИЯ СТРУКТУР НЕЙРОСЕТЕВЫХ ПРЕОБРАЗОВАТЕЛЕЙ НАПРЯЖЕНИЯ В КОД НА ПРОГРАММИРУЕМЫХ АНАЛОГОВЫХ ИНТЕГРАЛЬНЫХ СХЕМАХ

С.В. Челебаев, А.В. Антоненко

Рязанский государственный радиотехнический университет,
Рязань, Российская Федерация
e-mail: sergey_chel_r@rambler.ru; dervy@mail.ru

Описаны выбор нейросетевых структур преобразователей напряжения в цифровой код для их последующей реализации на программируемых аналоговых интегральных схемах, разработка функциональной схемы нейросетевого преобразователя напряжения в цифровой код на указанных схемах, обучение нейросетевого преобразователя напряжения в цифровой код для его реализации на программируемых аналоговых интегральных схемах, программирование нейросетевого преобразователя напряжения в цифровой код на таких схемах и моделирование работы нейросетевого преобразователя напряжения в цифровой код на программируемых аналоговых интегральных схемах.

Ключевые слова: аналого-цифровая нейросеть, преобразователь, напряжение, код, программируемая аналоговая интегральная схема.

NEURONETWORK CONVERTERS STRUCTURES REALIZATION OF VOLTAGE IN THE CODE ON PROGRAMMABLE ANALOG INTEGRATED SCHEMES

S.V. Chelebaev, A.V. Antonenko

Ryazan State Radio-Engineering University, Ryazan, Russian Federation
e-mail: sergey_chel_r@rambler.ru; dervy@mail.ru

The authors have described: the choice neuronetwork structures for converters of voltage in a digital code for their subsequent realization on the programmable analog integrated schemes (PAIS); development of functional scheme of the neuronetwork converter of voltage in a digital code on PAIS; training of the neuronetwork converter of voltage in a digital code for its realization on PAIS; programming of the neuronetwork converter of voltage in a digital code on the basis of PAIS and simulation of operation for the neuronetwork converter of voltage in a digital code on PAIS.

Keywords: analog-digital neuronetwork, converter, voltage, code, programmable analog integrated scheme.

Введение. В последние годы при проектировании аналого-цифровых преобразователей (АЦП) широко применяют аппараты искусственных нейронных сетей [1–6]. Однако вопрос реализации АЦП на программируемой аналоговой интегральной схеме (ПАИС) не рассмотрен. Следовательно, вопросы, связанные с реализацией нейросетевых АЦП на ПАИС с учетом особенностей элементной базы, являются актуальными.

Выбор нейросетевых структур преобразователей напряжения в цифровой код с последующей реализацией на ПАИС. Для реализации нейросетевого преобразователя напряжения в цифровой код

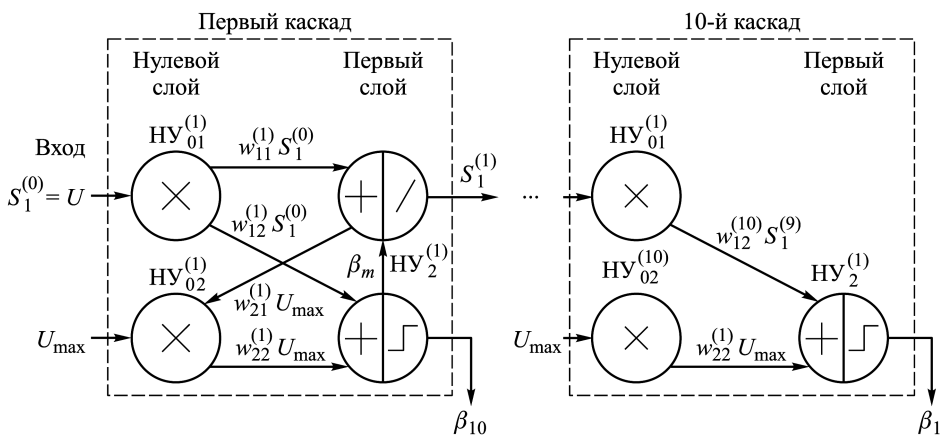


Рис. 1. Структурная схема 10-разрядного многокаскадного нейросетевого преобразователя $U \rightarrow N_y$

на ПАИС целесообразно использовать структуры на основе последовательного вычисления активационных функций нейронов. К таким структурам относятся структуры преобразователя напряжения:

- в унитарный код с формированием разрядов кода на основе каскадирования однейронных персептронов;
- в позиционный код с каскадным включением однейронных персептронов для получения разрядов кода;
- в позиционный код с каскадированием персептронов с линейной и пороговой функциями активации для получения разрядов кода и др. [7].

Один из возможных вариантов структурной схемы 10-разрядного нейросетевого преобразователя напряжение–код ($U \rightarrow N_y$) с двоичным позиционным кодированием результата N_y на основе каскадирования персептронов с линейной и пороговой активационными функциями приведен на рис. 1.

Для указанной структуры характерно каскадное включение однослойных интегральных нейросетевых схем (ИНС). Каждый каскад преобразователя $U \rightarrow N_y$ (см. рис. 1) состоит из двух нейронов распределительного слоя и двух взаимосвязанных нейронов выходного слоя. В i -м каскаде первый нейрон $НУ_1^{(i)}$ выходного слоя имеет линейную функцию активации, а второй $НУ_2^{(i)}$ – пороговую. С выхода нейрона $НУ_1^{(i)}$ снимается аналоговая частичная сумма $S_1^{(i)}$, а с выхода нейрона $НУ_2^{(i)}$ – двоичная цифра β_{m-i+1} , эквивалента кода N_y .

Функционирование нейропреобразователя на основе рассмотренных нейронов задается в виде совокупности зависимостей:

$$N_y = \sum_{i=1}^{10} \beta_i 2^{i-1};$$

$$\beta_{m-i+1} = F^{(1)}(w_{11}^{(i)} S_1^{(i-1)} + w_{11}^{(i)} U_{\max});$$

$$S_1^{(i)} = w_{11}^{(i)} S_1^{(i-1)} + \beta_{m-i+1} w_{11}^{(i)} U_{\max}, \quad i = \overline{[1, 10]}.$$

Здесь $S_1^{(0)} = U$ — преобразуемое напряжение; $U_{\max} = \max |U|$; $F^{(1)}$ — пороговая функция активации,

$$F^{(1)}(S_1^{(i)}) = \begin{cases} 1, & \text{если } S_1^{(i)} \geq \theta_1^{(i)}; \\ 0 & \text{иначе,} \end{cases}$$

где $\theta_1^{(i)}$ — значение порога.

Разработка функциональной схемы нейросетевого преобразователя напряжения в цифровой код для ПАИС. Разработка функциональной схемы преобразователя $U \rightarrow N_y$ (рис. 2) сводится к реализации нейроструктуры в виде аналоговых элементов, входящих в ПАИС.

В конфигурации ПАИС весовые коэффициенты нейронов можно представить в виде программируемых усилителей на входах сумматоров. Нейроны состоят из двух связанных частей: сумматора с одним инверсным входом и порогового элемента в виде компаратора. Поскольку значения весовых коэффициентов в последних каскадах достаточно малы, при построении схемы возникают проблемы с их реализацией на аналоговых элементах. В связи с этим для получения более однородной схемы и уменьшения погрешности, вносимой весовыми коэффициентами, имеющими очень малые значения, целесообразно усиливать значение выходного напряжения после каждой

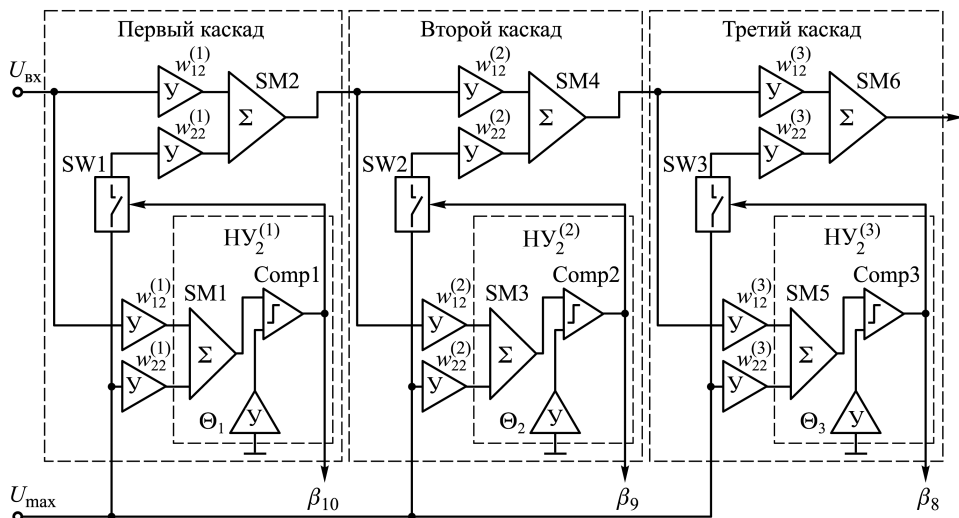


Рис. 2. Функциональная схема первых трех каскадов 10-каскадного нейросетевого преобразователя с двоичным позиционным кодированием, реализованных на ПАИС AN221E04 27:

У — усилитель; Σ — сумматор;] — компаратор

микросхемы в 8 раз (число дифференциальных усилителей позволяет реализовать на одной микросхеме только три каскада нейросети, поэтому значение наименьшего весового коэффициента будет составлять 1/8).

Обучение нейросетевого преобразователя напряжения в цифровой код для его реализации на ПАИС. ИНС-преобразователь $U \rightarrow N_y$ (см. рис. 1) может быть обучен на решение задачи преобразования напряжение – код с коррекцией дрейфовой составляющей погрешности преобразования, возникающей в ходе работы преобразователя вследствие неидеальности характеристик аналоговых элементов ПАИС.

Для обучения нейросетевого преобразователя $U \rightarrow N_y$ (см. рис. 1), построенного на основе каскадного включения однослойных перцептронов с пороговыми функциями активации его нейронов, необходимо использовать итерационный алгоритм обучения Розенблатта [8, 9], последовательно применяемый к каждому каскаду нейросетевого преобразователя начиная с первого. Разработанный алгоритм обучения сети преобразователя $U \rightarrow N_y$ приведен на рис. 3.

Полученные в результате обучения преобразователя на реализацию линейной зависимости преобразования значения весовых коэффициентов синаптических связей $w_{12}^{(m)}$ и $w_{22}^{(m)}$ можно представить матрицей W , а значения порогов нейронов – матрицей θ :

$$W = \left\| \begin{array}{cccccccccccc} 0,8 & 2 & 2 & 2 & 2 & 2 & 2 & 2 & 2 & 2 & 2 & 2 \\ -0,4 & -0,4 & -0,4 & -0,4 & -0,4 & -0,4 & -0,4 & -0,4 & -0,4 & -0,4 & -0,4 & -0,4 \end{array} \right\|;$$

$$\theta = \left\| -0,01 \ -0,01 \ -0,01 \ -0,01 \ -0,01 \ -0,01 \ -0,01 \ -0,01 \ -0,01 \ -0,01 \ -0,01 \ -0,01 \right\|.$$

Программирование нейросетевого преобразователя напряжения в цифровой код на базе ПАИС. Современные микросхемы ПАИС имеют недостаточно высокую емкость, поэтому для реализации, например, 10-разрядного преобразователя $U \rightarrow N_y$ требуются три микросхемы AN221E04 [10]. Структурная схема такого преобразователя показана на рис. 4.

Создание проектов на базе ПАИС компании Anadigm происходит в специализированной программной среде Anadigm Designer®2 [11]. Ее основу составляет библиотека конфигурируемых аналоговых модулей (Configurable Analog Modules, CAM), каждый из которых может использоваться для выполнения многих аналоговых функций путем задания соответствующих параметров. Библиотека содержит следующие основные модули (CAM) по функциональному назначению: дифференциальный компаратор; инвертирующий дифференциатор; делитель; билинейный фильтр; биквадратный фильтр; каскад усиления полупериода сигнала; каскад суммирования/вычитания полупериода

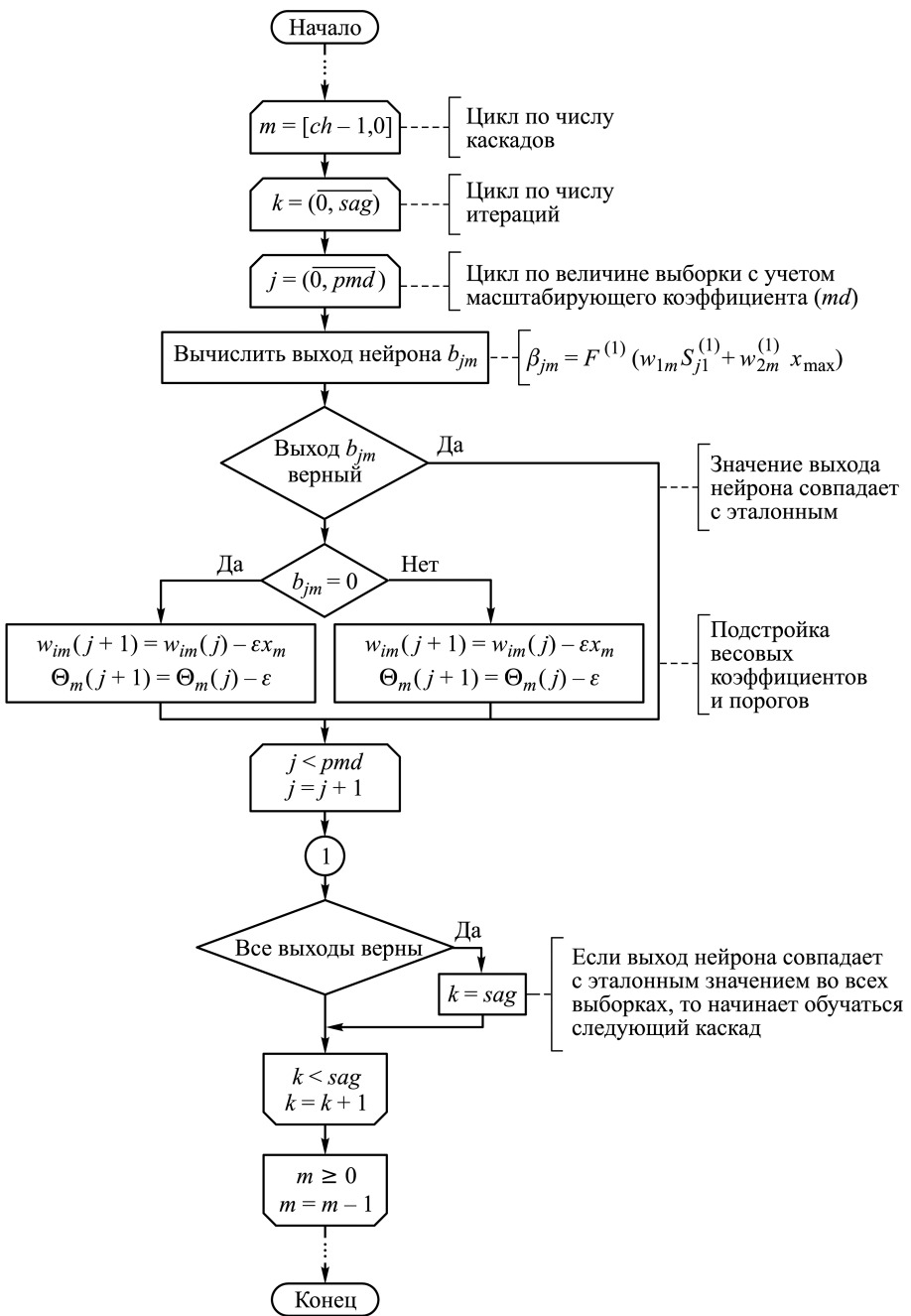


Рис. 3. Алгоритм обучения сети преобразователя $U \rightarrow N_p$:

ch — число разрядов цифрового кода; sag — максимальное число итераций обучения; md — множитель данных (позволяет увеличить число выборок); p — число состояний цифрового кода (2^{ch}); b_{jm} — значение m -го разряда кода при j -й итерации обучения; w_{im} — значения весовых коэффициентов; θ_m — значения порогов нейронов

сигнала; источник постоянного напряжения; усилитель-ограничитель; усилитель с коммутацией входов; однополупериодный выпрямитель; однополупериодный выпрямитель с инверсией; усилитель с контролем

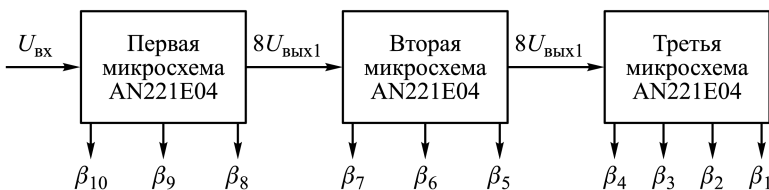


Рис. 4. Структурная схема 10-разрядного нейросетевого преобразователя $U \rightarrow N_u$ на основе трех микросхем AN221E04

полярности; интегратор; инвертирующий усилитель; инвертирующий сумматор; перемножитель; выпрямитель с фильтром нижних частот (ФНЧ); усилитель выборки/хранения; генератор синусоидального сигнала; трансимпедансный усилитель; каскад с передаточной характеристикой, задаваемой пользователем; генератор периодических сигналов произвольной формы; каскад суммирования/вычитания с ФНЧ; АЦП последовательного приближения; усилитель с управляемым напряжением коэффициентом усиления; билинейный ФНЧ с низкой частотой перегиба амплитудно-частотной характеристики (АЧХ); суммирующий/вычитающий интегратор; вычислитель квадратного корня.

Процесс создания схемы состоит из трех основных этапов [12]:

- 1) выбор, настройка и размещение библиотечных аналоговых блоков в пределах рабочего пространства (виртуального корпуса микросхемы);
- 2) соединение блоков “проводниками” между собой и с входными/выходными ячейками;
- 3) загрузка данных о конфигурации в аналоговую матрицу.

Для разработки проекта с динамически изменяемой конфигурацией Anadigm Designer®2 автоматически генерирует Си-код, позволяющий задавать необходимые аналоговые функции непосредственно с управляющего микроконтроллера [13]. Си-код содержит требуемую информацию об элементах схемы. В заданный момент времени микроконтроллер загружает эти данные в специальный буфер аналоговой матрицы, осуществляя тем самым динамическую реконфигурацию аналоговой схемы. При этом реализована возможность реконфигурации отдельных модулей матрицы, когда одна часть узлов аналоговой схемы может обновляться, а другая — продолжать нормальную работу. Каждый аналоговый модуль имеет собственный “программный интерфейс”, позволяющий изменять параметры только этого модуля.

В среде Anadigm Designer®2 представлены сумматоры и компараторы с программируемыми входами. У каждого сумматора и компаратора можно задавать коэффициенты усиления по входам, а также делать входы инверсными. У компаратора на одну из ножек можно подавать постоянное напряжение в диапазоне значений $-4 \dots +4$ В.

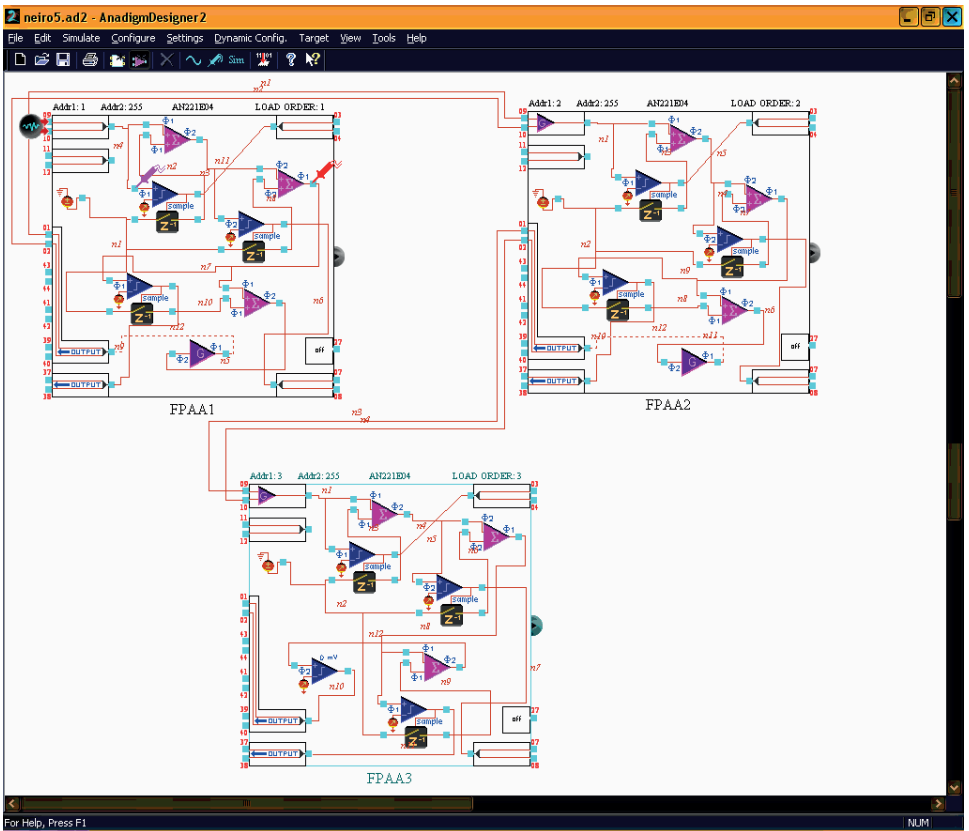


Рис. 5. Проект 10-каскадного нейросетевого преобразователя $U \rightarrow y_N^*$ с двоичным позиционным кодированием

Проект 10-разрядного преобразователя $U \rightarrow N_y$ на основе нейронной сети (см. рис. 1) приведен на рис. 5.

Моделирование работы нейросетевого преобразователя напряжения в цифровой код на ПАИС. Среда Anadigm®2 содержит функциональный симулятор времени, который позволяет отладить устройство без программирования микросхемы. Симулятор включает в себя виртуальный генератор сигналов и четырехканальный осциллограф.

Для проверки работоспособности проекта 10-каскадного нейросетевого преобразователя $U \rightarrow y_N^*$ с двоичным позиционным кодированием на вход последовательно включенных микросхем AN221E04 по очереди подаются два сигнала со следующими параметрами:

- 1) входной сигнал 3,75 В с частотой 100 кГц, скважности 2, выходной код $N_{12} = \left(\frac{U_{BX}}{U_{BX \max}} 2^n \right) = \left(\frac{3,75}{4} \cdot 2^{10} \right) = 1111000000_2$;
- 2) входной сигнал 1,64 В с частотой 100 кГц, скважности 2, выходной код $N_{22} = \left(\frac{U_{BX}}{U_{BX \max}} 2^n \right) = \left(\frac{1,64}{4} \cdot 2^{10} \right) = 1101000011_2$.

Тактовая частота внутренних модулей составляет 2 МГц.

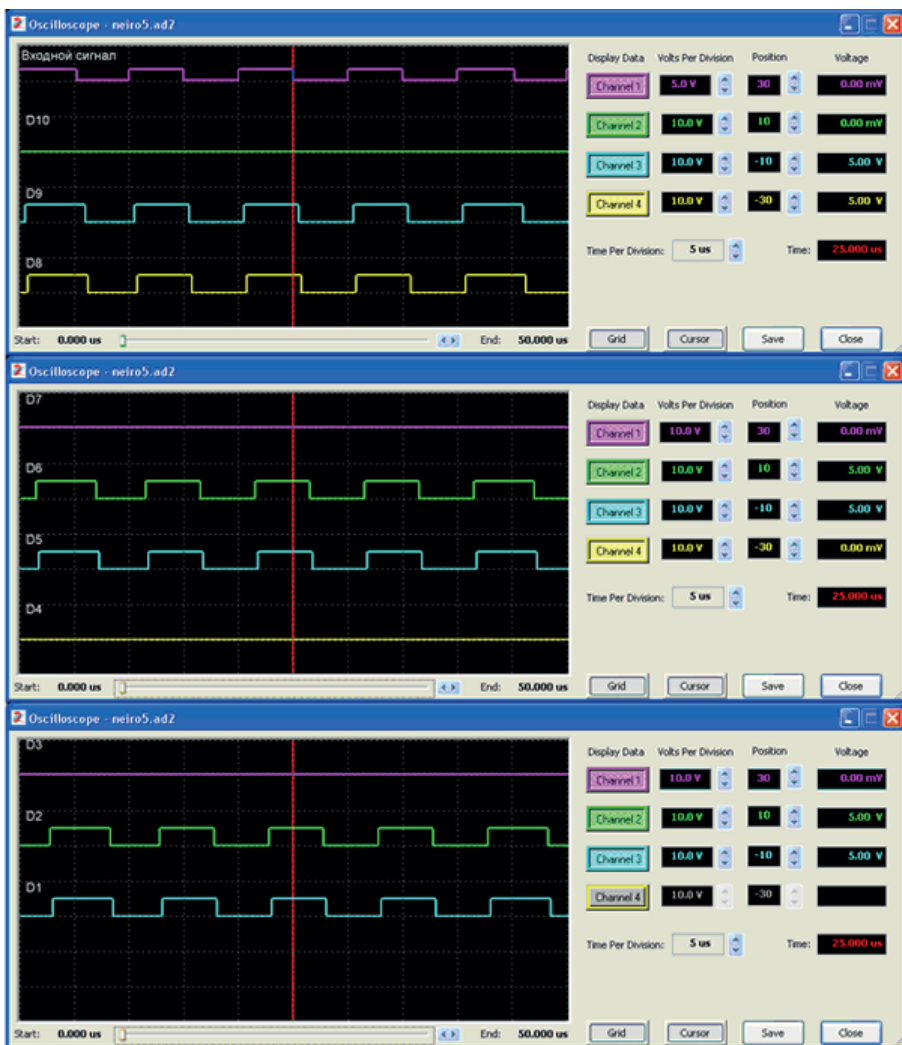


a

Рис. 6 (начало). Временные диаграммы работы преобразователя на интервале времени 20 мкс при сигнале 3,75 (а) и 1,64 В (б)

Результаты моделирования работы нейросетевого преобразователя представлены на рис. 6 в виде временных диаграмм. Они позволяют оценить правильность работы преобразователя, а также задержки и переходные процессы, происходящие в устройстве (задержки в устройстве 3 мкс). Задержки в элементах (0,25 мкс) относительно малы по сравнению с рассматриваемым интервалом времени.

Следовательно, моделирование в среде Anadigm Designer®2 позволило без этапа макетирования оценить процесс преобразования информации в системе. Результаты эксперимента подтвердили правильность полученных результатов по разработке ИНС-преобразователя напряжение – код на основе ПАИС. В результате на базе ПАИС



б

Рис. 6 (окончание). Временные диаграммы работы преобразователя на интервале времени 20 мкс при сигнале 3,75 (а) и 1,64 В (б)

AN221E04 построен 10-каскадный нейросетевой преобразователь $U \rightarrow N_y$ с возможностью компенсации дрейфовой составляющей погрешности для двоичного позиционного кодирования результата преобразования.

Динамический диапазон нейросетевого преобразователя напряжения в цифровой код на ПАИС. Значение динамического диапазона преобразователя оценивается по формуле [14]

$$DR = 20 \lg \left(\frac{U_{\max}}{\Delta} \right) = 20 \lg (2^k),$$

где $\Delta = U_{\max}/2^k$ – шаг квантования уровня сигнала.

Для 10-разрядного преобразователя значение динамического диапазона составляет 60,2 дБ. Однако возможно предварительное усиление сигнала за счет весовых коэффициентов первого однослойного персептрона в многокаскадной структуре. В этом случае приведенное выше выражение преобразуется к виду $DR = 20 \lg \left(\frac{K_y U_{\max}}{\Delta} \right) = 20 \lg (K_y 2^k)$, где K_y — коэффициент предварительного усиления входного сигнала.

Расширение динамического диапазона, достигаемое путем предварительного усиления сигнала для 10-, 16- и 24-разрядных структур, показано на рис. 7. Таким образом, при $K_y = 10$ динамический диапазон k -разрядного преобразователя увеличивается примерно на 20 дБ.

Динамический диапазон 24-разрядного АЦП AD7730 составляет примерно 162 дБ. Это значение соответствует 24-разрядному нейросетевому преобразователю рассмотренной многокаскадной структуры (см. рис. 1) при $K_y = 8$. Однако для реализации нелинейного преобразования с помощью АЦП на основе “жесткой” логики необходим цифровой сигнальный процессор, который не потребуется при реализации нелинейного преобразования на ПАИС.

Заключение. 1. Осуществлен выбор нейросетевой структуры преобразователя напряжения в цифровой код для ее последующей реализации на ПАИС.

2. Разработана функциональная схема нейросетевого преобразователя напряжения в цифровой код для ПАИС.

3. Проведено обучение нейросетевого преобразователя напряжения в цифровой код для его реализации на ПАИС.

4. Создан проект нейросетевого преобразователя напряжения в цифровой код на базе трех микросхем ПАИС.

5. Проведено моделирование работы нейросетевого преобразователя напряжения в цифровой код на базе ПАИС.

Работа выполнена при финансовой поддержке РФФИ РАН.

ЛИТЕРАТУРА

1. Tank D.W., Hopfield J.J. Simple “neural” optimization networks: an A/D converter, signal decision circuit and a linear programming circuit // IEEE Circuit and Systems. 1986. Vol. CAS-33. P. 533–541.

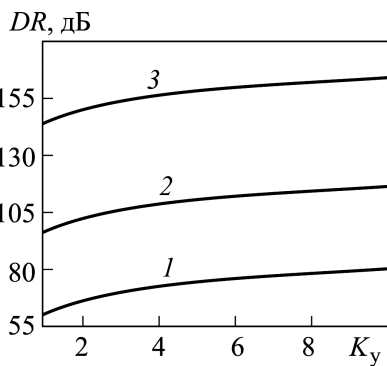


Рис. 7. Зависимость динамического диапазона преобразователя от коэффициента предварительного усиления для 10- (1), 16- (2), и 24-разрядного (3) преобразователя

2. Lee Bang W., Shen Bing J. Design of a neural-based A/D converter using modified Hopfield Network // *IEEE Solid-State Circuits*. 1989. Vol. SC-24. P. 1120–1135.
3. Avitabile G., Forti M., Manetti S., Marini M. On a class of nonsymmetrical neural networks with application to ADC // *IEEE Circuit and Systems*. 1991. Vol. CAS-38. P. 202–209.
4. Локтюхин В.Н., Антоненко А.В., Челебаев С.В. Методика структурного синтеза нейронов-преобразователей аналого-цифровой нейросети // *Вестник МГТУ им. Н.Э. Баумана. Сер. “Приборостроение”*. 2013. № 4. С. 101–114.
5. Болтунов Е.В. Нейросетевой метод расширения динамического диапазона АЦП в системах контроля технического состояния машинного оборудования // *Народное хозяйство. Вопросы инновационного развития*. 2012. № 5. С. 54–62.
6. Болтунов Е.В. Нейросетевой метод расширения динамического диапазона аналого-цифрового преобразователя // *Перспективы развития информационных технологий*. 2011. № 4. С. 79–83.
7. Локтюхин В.Н., Челебаев С.В. Нейросетевые преобразователи импульсно-аналоговой информации: организация, синтез, реализация; под ред. А.И. Галушкина. М.: Горячая линия–Телеком, 2008. 144 с.
8. Осовский С. Нейронные сети для обработки информации; пер. с польск. М.: Финансы и статистика, 2002. 344 с.
9. Ясницкий Л.Н. Введение в искусственный интеллект. М.: Издательский центр “Академия”, 2005. 176 с.
10. Щерба А. Построение входных и выходных цепей программируемых аналоговых схем Anadigm // *Компоненты и технологии*. 2008. № 12. С. 16–18.
11. Щерба А. Рекомендации по проектированию печатной платы для динамически программируемых аналоговых микросхем Anadigm // *Компоненты и технологии*. 2011. № 11. С. 57–60.
12. Полищук А. Программируемые аналоговые ИС компании Anadigm: второе дыхание аналоговой обработки сигналов // *Электроника: Наука, Технология, Бизнес*. 2005. № 3. С. 24–29.
13. Щерба А. Программируемые аналоговые ИС Anadigm: применение конфигурируемых аналоговых модулей в составе программы AnadigmDesigner2 // *Компоненты и технологии*. 2007. № 12. С. 12–18.
14. URL: <http://www.ets.ifmo.ru/denisov/dsp/lec3.htm> [Электронный ресурс].

REFERENCES

- [1] Tank D.W., Hopfield J.J. Simple “neural” optimization networks: an A/D converter, signal decision circuit and a linear programming circuit. *IEEE Transactions on Circuit and Systems*, 1986, vol. CAS-33, iss. 5, pp. 533–541. DOI: 10.1109/TCS.1986.1085953
- [2] Lee Bang W., Shen Bing J. Design of a neural-based A/D converter using modified Hopfield Network. *IEEE Journal of Solid-State Circuits*, 1989, vol. SC-24, iss. 4, pp. 1120–1135. DOI: 10.1109/4.34101
- [3] Avitabile G., Forti M., Manetti S., Marini M. On a class of nonsymmetrical neural networks with application to ADC. *IEEE Transactions on Circuit and Systems*, 1991, vol. CAS-38, iss. 2, pp. 202–209. DOI: 10.1109/31.68298
- [4] Loktyukhin V.N., Antonenko A.V., Chelebaev S.V. Technique for structural synthesis of neurons-converters of analog-digital neural network. *Vestn. Mosk. Gos. Tekh. Univ. im. N. E. Baumana, Priborostr.* [Herald of the Bauman Moscow State Tech. Univ., Instrum. Eng.], 2013, no. 4, pp. 101–114 (in Russ.).
- [5] Boltunov E.V. Neural network extension method of ADC dynamic range at control systems of technical condition of machinery. *Narodn. khozyaystvo. Voprosy innovatsionnogo razvitiya* [Nat. econ. Quest. of innovation development], 2012, no. 5, pp. 54–62 (in Russ.).

- [6] Boltunov E.V. Neural network extension method of ADC dynamic range. *Perspektivy razvitiya IT* [Development prospects of IT], 2011, no. 4, pp. 79–83 (in Russ.).
- [7] Loktyukhin V.N., Chelebaev S.V., A.I. Galushkin, eds. Neyrosetevye preobrazovateli impul'sno-analogovoy informatsii: organizatsiya, sintez, realizatsiya [Neural converters of pulse-analog information: organization, synthesis, realization]. Moscow, Goryachaya liniya–Telekom Publ., 2008. 144 p.
- [8] Ossowski S. Sieci neuronowe do przetwarzania informacji. Warsaw, Poland, Of. Ed. Pol. Warsaw, 2000 (in Polish). (Russ. ed.: Osovskiy S. Neyronnye seti dlya obrabotki informatsii [Neural networks for information processing]. Moscow, Finansy i statistika Publ., 2002. 344 p.).
- [9] Yasnitskiy L.N. Vvedenie v iskusstvennyy intellekt [Introduction to artificial intelligence]. Moscow, Izdatel'skiy tsentr "Akademiya" Publ., 2005. 176 p.
- [10] Shcherba A. Construction of input and output circuits of programmable analog scheme PAIS Anadigm. *Komponenty i tekhnologii* [Components & Technologies], 2008, no. 12, pp. 16–18 (in Russ.).
- [11] Shcherba A. Recommendations for the design of printed circuit board for dynamically programmable analog scheme Anadigm. *Komponenty i tekhnologii* [Components & Technologies], 2011, no. 11, pp. 57–60 (in Russ.).
- [12] Polishchuk A. Anadigm's Programmable Analog ICs. Analog Signals Processing Second Wind Elektronika: nauka, tekhnologiya, biznes [Elektronika: NTB], 2005, no. 3, pp. 24–29 (in Russ.).
- [13] Shcherba A. Anadigm's Programmable Analog ICs: the use of configurable analog modules at the program AnadigmDesigner2. *Komponenty i tekhnologii* [Components & Technologies], 2007, no. 12, pp. 12–18 (in Russ.).
- [14] Lecture no. 3 "Analog-to-digital and digital-to-analog conversion". Site of department of electrical and precision electromechanical systems (ITMO University, St. Petersburg, Russia). Available at: <http://www.ets.ifmo.ru/denisov/dsp/lec3.htm> (accessed 01.11.2014).

Статья поступила в редакцию 28.05.2014

Челебаев Сергей Валерьевич — канд. техн. наук, доцент кафедры "Биомедицинская и полупроводниковая электроника" Рязанского государственного радиотехнического университета (РГРТУ). Специализируется в области применения аппарата искусственных нейронных сетей для синтеза преобразователей формы представления информации.

Рязанский государственный радиотехнический университет, Российская Федерация, 390005, Рязань, ул. Гагарина, д. 59/1.

Chelebaev S.V. — Cand. Sci. (Eng.), assoc. professor of "Biological-Medical and Semiconductor Electronics" department of the Ryazan State Radio-Engineering University (RSREU). Specialist in the field of artificial neuron networks application for synthesis of converters of data presentation form.

Ryazan State Radio-Engineering University, ul. Gagarina 59/1, Ryazan, 390005 Russian Federation.

Антоненко Андрей Васильевич — канд. техн. наук, доцент кафедры "Автоматизированные системы управления" Рязанского государственного радиотехнического университета (РГРТУ). Специализируется в области обучения нейросетевых преобразователей формы представления информации.

Рязанский государственный радиотехнический университет, Российская Федерация, 390005, Рязань, ул. Гагарина, д. 59/1.

Antonenko A.V. — Cand. Sci. (Eng.), assoc. professor of "Automated Control Systems" department of the Ryazan State Radio-Engineering University (RSREU). Specialist in the field of training of neuron network converters of data presentation form.

Ryazan State Radio-Engineering University, ul. Gagarina 59/1, Ryazan, 390005 Russian Federation.